

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



In re application of

Docket No: Q76696

Youichi KOSEKI

Appln. No.: 10/626,518

Group Art Unit: Unknown

Confirmation No.: Unknown

Examiner: Unknown

Filed: July 25, 2003

For: OPTICAL DISK PLAYBACK APPARATUS AND DATA PLAYBACK METHOD
THEREFOR

SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of the priority document on which a claim to
priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to
acknowledge receipt of said priority document.

Respectfully submitted,

A handwritten signature in dark ink, appearing to read "J. Frank Osha".

SUGHRUE MION, PLLC
Telephone: (202) 293-7060
Facsimile: (202) 293-7860

J. Frank Osha
Registration No. 24,625

WASHINGTON OFFICE

23373

CUSTOMER NUMBER

Enclosures: Japan 2002-216308

Date: October 31, 2003

日本国特許庁
JAPAN PATENT OFFICE

Y. Koseki
10/626,518
Filed 7/25/2003
Φ76696 1 of 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2002年 7月25日

出願番号
Application Number:

特願2002-216308

[ST.10/C]:

[JP2002-216308]

出願人
Applicant(s):

山形日本電気株式会社

2003年 6月 2日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3041976

【書類名】 特許願

【整理番号】 00410189

【あて先】 特許庁長官殿

【国際特許分類】 G11B 20/10

【発明者】

 【住所又は居所】 山形県山形市北町四丁目 1 2 番 1 2 号
 山形日本電気株式会社内

 【氏名】 小関 陽一

【特許出願人】

 【識別番号】 390001915

 【氏名又は名称】 山形日本電気株式会社

【代理人】

 【識別番号】 100082935

 【弁理士】

 【氏名又は名称】 京本 直樹

 【電話番号】 03-3454-1111

【選任した代理人】

 【識別番号】 100082924

 【弁理士】

 【氏名又は名称】 福田 修一

 【電話番号】 03-3454-1111

【選任した代理人】

 【識別番号】 100085268

 【弁理士】

 【氏名又は名称】 河合 信明

 【電話番号】 03-3454-1111

【手数料の表示】

 【予納台帳番号】 021566

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9114205

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光ディスク再生装置およびそのデータ再生方法

【特許請求の範囲】

【請求項 1】 光記録媒体から読み出したメインデータおよびそのサブコードを再生する際に、前記サブコードに含まれる同期情報に対し予め定める同期保護を行って得られたサブコード同期信号を、前記メインデータを格納するインターリーブ RAM の空き領域に書き込んで前記メインデータと同様に F I F O 領域をもつアドレス管理を行うことにより、読み出した前記サブコード同期信号を前記メインデータと同期して機能させるインターリーブ RAM 制御手段を有することを特徴とする光ディスク再生装置。

【請求項 2】 前記インターリーブ RAM から読み出した前記メインデータを、デコードデータとして外部出力用のバッファメモリに格納するとき、前記サブコード同期信号が前記バッファメモリへの書き込み開始を制御する請求項 1 記載の光ディスク再生装置。

【請求項 3】 前記サブコード同期信号が格納される前記空き領域は、前記メインデータが書き込まれた各フレームにおけるデータシンボル群のうち、インターリーブ遅延を割り当てられたデータシンボルの配置位置に隣接したメモリ領域とする請求項 1 記載の光ディスク再生装置。

【請求項 4】 前記サブコード同期信号が格納される前記空き領域は、少なくとも前記最小または前記最大のインターリーブ遅延を割り当てられたデータシンボルと同等のマージンアドレスをもつメモリサイズを有する請求項 3 記載の光ディスク再生装置。

【請求項 5】 前記インターリーブ RAM 制御手段は、1 フレーム毎に 1 回だけ、前記サブコード同期信号を前記インターリーブ RAM に対して書き込む同期信号書き込み機能を有する請求項 1 記載の光ディスク再生装置。

【請求項 6】 前記サブコード同期信号を格納する領域は、F I F O 動作による遅延制御を行うためのマージンアドレス領域を有し、前記インターリーブ RAM の前記空き領域内に配置される請求項 1 記載の光ディスク再生装置。

【請求項 7】 前記インターリーブ RAM の前記空き領域に格納する前記サ

ブコード同期信号は、1ビット信号のみとする請求項1記載の光ディスク再生装置。

【請求項8】 サブコードシンボルビットPを前記サブコード同期信号であるビットデータに置き換えたシンボルデータを前記インターリーブRAMの前記空き領域に格納し、デ・インターリーブで取り出した前記シンボルデータからサブコード同期信号と、Qビット、Rビット、Sビット、Tビット、Uビット、VビットおよびWビットとを分離する機能を有する請求項1記載の光ディスク再生装置。

【請求項9】 前記サブコード同期信号を格納する最小構成は、マージンアドレス、データ書き込みアドレスおよびデータ読み出しアドレスの3種類の格納領域を有する請求項1記載の光ディスク再生装置。

【請求項10】 光記録媒体から読み出したメインデータおよびそのサブコードを再生する際に、前記サブコードに含まれる同期情報に対し予め定める同期保護を行って得られたサブコード同期信号を、前記メインデータを格納するインターリーブRAMの空き領域に書き込んで前記メインデータと同様にFIFO領域をもつアドレス管理を行うことにより、インターリーブRAMから読み出した前記サブコード同期信号を前記メインデータと同期したサブコード同期信号として機能させるインターリーブRAM制御手段を有し、前記インターリーブRAM制御手段が前記インターリーブRAMに含まれる前記FIFO領域のアンダーフローに応じて前記FIFO領域のセンタリングを行った場合に、前記センタリングで飛び越されるサブコード同期信号格納領域のアドレスに“0”データの書き込みを行う誤同期信号読み出し防止手段を有することを特徴とする光ディスク再生装置。

【請求項11】 光記録媒体から読み出したメインデータおよびそのサブコードを再生する際に、前記サブコードに含まれる同期情報に対し予め定める同期保護を行って得られたサブコード同期信号を、前記メインデータを格納するインターリーブRAMの空き領域に書き込んで前記メインデータと同様にFIFO領域をもつアドレス管理を行うことにより、インターリーブRAMから読み出した前記サブコード同期信号を前記メインデータと同期したサブコード同期信号とし

て機能させるインターリーブRAM制御手段と、前記FIFO領域のアンダーフローが起きてから前記FIFO領域のセンタリングで飛び越されるサブコード同期信号格納領域のアドレスが読み出されるまでの一定期間、前記インターリーブRAMから読み出されるサブコード同期信号をマスクする同期信号マスク手段とを有することを特徴とする光ディスク再生装置。

【請求項12】 前記インターリーブRAMのFIFO領域をもつアドレス管理において、管理される前記FIFO領域がオーバーフローまたはアンダーフローした時にはライトアドレスを基準としてリードアドレスのセンタリングを行う請求項10または11記載の光ディスク再生装置。

【請求項13】 光記録媒体から読み出したメインデータおよびそのサブコードを再生する際に、前記メインデータをインターリーブRAMへ格納するとともに、前記サブコードに含まれる同期情報に予め定める第1の同期保護を行って得られた1ビットのサブコード同期信号も前記インターリーブRAMの空き領域に書き込み、前記メインデータとともに前記インターリーブRAMから読み出した前記サブコード同期信号に対して前記第1の同期保護とは異なる第2の同期保護を行う二重同期保護手段を有することを特徴とする光ディスク再生装置。

【請求項14】 前記第1の同期保護は、前記サブコードに含まれる第1および第2の同期情報を周期カウントした結果、前記第1および前記第2の同期情報が連続しているときのみ同期情報と見なす機能を有し、前記第2の同期保護は、前記周期カウントの結果に応じて、改めてサブコード同期信号を挿入するかまたは前記インターリーブRAMから読み出したサブコード同期信号を無視する機能を有する請求項13記載の光ディスク再生装置。

【請求項15】 光記録媒体から読み出したメインデータおよびそのサブコードを再生する際に、前記サブコードに含まれる同期情報に対し予め定める同期保護を行って得られたサブコード同期信号を、メインデータのフラグ信号を格納するフラグRAMの空き領域に書き込んで前記メインデータと同様にFIFO領域をもつアドレス管理を行うことにより、前記フラグRAMから読み出した前記サブコード同期信号を前記メインデータと同期して機能させるフラグRAM制御手段を有することを特徴とする光ディスク再生装置。

【請求項 1 6】 前記フラグ RAM における前記サブコード同期信号の格納領域は、前記フラグ RAM の空き領域の容量に応じて予め設定した前記 FIFO 領域のマージンアドレス容量に応じたメモリ容量を有する請求項 1 5 記載の光ディスク再生装置。

【請求項 1 7】 メインデータおよびそのサブコードを記録した光記録媒体から読み出された前記メインデータおよび前記サブコードからビットクロックを生成する PLL (Phase Locked Loop) 回路と、前記ビットクロックと前記メインデータおよび前記サブコードとを入力し同期情報の検出および EFM (Eight to Fourteen Modulation) 変調されたメインデータを復調し出力するデータ検出・復調手段と、前記同期情報および復調された前記メインデータを基に CRC (Cyclic Redundancy Check) によるエラーチェックを行った Q コード CRC 判定信号と Q コードデータシンボルと前記同期情報に同期保護を行って得られたサブコード同期信号とを出力する同期保護・エラー訂正・Q コード分離手段と、前記 Q コードデータシンボルから時間位置情報を読み出す Q コードバッファ手段と、前記メインデータおよび前記サブコード同期信号を格納するインターリーブ RAM と、前記サブコード同期信号を含むシンボルおよび前記メインデータを入力し CIRC (Cross Interleaved Reed-Solomon Code) エラー訂正を行うとともに、前記インターリーブ RAM に格納される各シンボル領域のマージンアドレス領域を FIFO 動作でアドレス管理し、かつ前記サブコード同期信号を含むシンボルを 1 フレーム毎に前記インターリーブ RAM の空き領域に格納させ、さらに読み出した前記サブコード同期信号および前記メインデータを同期させて出力するエラー訂正・メモリ制御手段と、前記エラー訂正結果を格納するフラグ RAM と、前記インターリーブ RAM から読み出した前記メインデータおよび前記サブコード同期信号を前記エラー訂正・メモリ制御手段を介して入力するメモリコントローラと、前記サブコード同期信号に同期して前記メインデータを格納するバッファメモリと、前記メインデータを前記 Q コードデータシンボルと関連づけて管理するとともに前記バッファメモリに格納させるための制御および前記光記録媒体に対する光学的位置制御を行う中央処理装置 (

CPU) とをそれぞれ備えることを特徴とする光ディスク再生装置。

【請求項 18】 光記録媒体から読み出したメインデータおよびそのサブコードを再生する際に、前記サブコードに含まれる同期情報に対し予め定める同期保護を行って得られたサブコード同期信号を、前記メインデータを格納するインターリーブRAMの空き領域に書き込んで前記メインデータと同様にFIFO領域をもつアドレス管理を行うことにより、インターリーブRAMから読み出した前記サブコード同期信号を前記メインデータと同期して機能させることを特徴とする光ディスク再生装置のデータ再生方法。

【請求項 19】 前記インターリーブRAMの前記空き領域の複数ビット幅のうちの1ビットに前記サブコード同期信号を、他の1ビットにはサブコードに含まれる8ビットのサブコードシンボルP、Q、R、S、T、U、V、WのうちのシンボルビットQのCRCエラー判定結果をそれぞれ格納する請求項18記載の光ディスク再生装置のデータ再生方法。

【請求項 20】 サブコードシンボルビットPを前記サブコード同期信号であるビットデータに置き換えたシンボルデータを前記インターリーブRAMの前記空き領域に格納し、デ・インターリーブで取り出した前記シンボルデータからサブコード同期信号と、Qビット、Rビット、Sビット、Tビット、Uビット、VビットおよびWビットとを分離する請求項18記載の光ディスク再生装置のデータ再生方法。

【請求項 21】 光記録媒体から読み出したメインデータおよびそのサブコードを再生する際に、前記サブコードに含まれる同期情報に対し予め定める同期保護を行って得られたサブコード同期信号を、メインデータのフラグ信号を格納するフラグRAMの空き領域に書き込んで前記メインデータと同様にFIFO領域をもつアドレス管理を行うことにより、前記フラグRAMから読み出した前記サブコード同期信号を前記メインデータと同期して機能させることを特徴とする光ディスク再生装置のデータ再生方法。

【請求項 22】 前記フラグRAMを前記前記サブコード同期信号の格納領域とする場合、前記FIFO領域のマージンアドレス領域は、前記フラグRAMの空き領域の容量に応じて決まるメモリ容量に予め設定される請求項21記載の

光ディスク再生装置のデータ再生方法。

【請求項 2 3】 光記録媒体から読み出したメインデータおよびそのサブコードを再生する際に、前記サブコードに含まれる同期情報に対し予め定める同期保護を行って得られたサブコード同期信号を、前記メインデータを格納するインターリーブ RAM の空き領域に書き込んで前記メインデータと同様に F I F O 領域をもつアドレス管理を行うことにより、インターリーブ RAM から読み出した前記サブコード同期信号を前記メインデータと同期したサブコード同期信号として機能させるインターリーブ RAM 制御手段を有し、前記インターリーブ RAM 制御手段が前記インターリーブ RAM に含まれる前記 F I F O 領域のアンダーフローに応じて前記 F I F O 領域のセンタリングを行った場合に、前記センタリングで飛び越されるサブコード同期信号格納領域のアドレスに“0”データの書き込みを行うことを特徴とする光ディスク再生装置のデータ再生方法。

【請求項 2 4】 光記録媒体から読み出したメインデータおよびそのサブコードを再生する際に、前記メインデータをインターリーブ RAM へ格納するとともに、前記サブコードに含まれる同期情報に予め定める第 1 の同期保護を行って得られた 1 ビットのサブコード同期信号も前記インターリーブ RAM の空き領域に書き込み、前記メインデータとともに前記インターリーブ RAM から読み出した前記サブコード同期信号に対して前記第 1 の同期保護とは異なる第 2 の同期保護を行うことを特徴とする光ディスク再生装置のデータ再生方法。

【請求項 2 5】 前記サブコードに含まれる第 1 および第 2 の同期情報を周期カウントした結果、前記第 1 および前記第 2 の同期情報が連続しているときのみこれらの同期情報を前記第 1 の同期保護により前記サブコード同期信号と見なし、前記周期カウントの結果に応じて、前記第 1 および第 2 の同期情報を前記第 2 の同期保護により、改めてサブコード同期信号を挿入するかまたは前記インターリーブ RAM から読み出したサブコード同期信号を無視する請求項 2 4 記載の光ディスク再生装置のデータ再生方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は光ディスク再生装置およびそのデータ再生方法に係わり、特に音声CD (Compact Disk) から読み出しデコードしたデコードデータをバッファメモリに蓄える作業を一旦停止し再び開始する場合でも、バッファメモリ上のデータの連続性を保証する技術を改善した光ディスク再生装置およびそのデータ再生方法に関する。

【0002】

【従来の技術】

この種の光記録媒体としてのCDにおけるデータフォーマットを示した図12を参照すると、CD内のデータ構造は、フレーム同期領域とサブコード領域とデータおよびパリティ領域とからなり、データ構造の最小ブロックはフレームと称し、98フレームで基本の1ブロックを形成し、各フレームは、時間情報としてフレーム同期に24ビット、サブコード同期信号として14ビット、さらに32シンボルから構成され、32シンボルの内訳は上位のデータ12シンボルおよびパリティ (C2誤り符号訂正) 4シンボルと、下位のデータ12シンボルおよびパリティ (C2誤り符号訂正) 4シンボルである。

【0003】

フレーム1は、フレーム同期信号として“1000000000000100000.00000010” (24ビット) が設定され、サブコード同期信号S0は“0100000000000000” (14ビット)、S1は“0000000000100010” (14ビット) が設定される。

【0004】

サブコード領域は、フレーム1がサブコード同期信号S0、フレーム2がサブコード同期信号S1、フレーム3～98はそれぞれ8ビットのデータP1, Q1, R1, S1, T1, U1, V1, W1～P96, Q96, R96, S96, T96, U96, V96, W96で構成される。

【0005】

データPの1ビットは曲の頭出し、データQの1ビットは予め設定された順序で再生するためのプログラム機能を持っており、R～Wまでの6ビットはディスプレイ対応その他のデータが設定される。

【 0 0 0 6 】

データ Q の 1 ビットは、フレーム 1 が S 0、フレーム 2 が S 1、Q 1 ～ Q 4 の 4 ビットがコントロール用の領域、Q 5 ～ Q 8 の 4 ビットがアドレス用の領域、Q 9 ～ Q 8 0 の 7 2 ビットがデータ用の領域、Q 8 1 ～ Q 9 6 の 1 6 ビットが C R C 用の領域として設定される。

【 0 0 0 7 】

さらに、Q 9 ～ Q 8 0 の 7 2 ビットは、Q 9 からの 8 ビットが「トラック番号」、次の 8 ビットが「インデックス」、次の 2 4 ビットはディスク先頭からの相対時間を示す領域でその内訳は、最初の 8 ビットが「分」、次の 8 ビットが「秒」、次の 8 ビットが「フレーム数」、次の 8 ビットがオール“0”、次の 2 4 ビットがディスク先頭からの絶対時間を示す領域で、その内訳は、最初の 8 ビットが「分」、次の 8 ビットが「秒」、次の 8 ビットが「フレーム」データをそれぞれ設定される。

【 0 0 0 8 】

上述した 3 2 シンボルは、連続する 2 4 バイトのデータに対して、4 バイトのパリティビットを付加し、データを複数のフレームに分散配置するようにデータの並び替えをするインターリーブを行う。

【 0 0 0 9 】

インターリーブされたデータからなる 2 8 バイトの各フレームにさらに 4 バイトのパリティビットを付加することによって、上述の 1 フレーム 3 2 バイトのデータとして C D に E F M (E i g h t t o F o u r t e e n M o d u l a t i o n) 変調で記録する。

【 0 0 1 0 】

すなわち、元のデータにエラー訂正のための C 2 符号を付けて複数のフレームに分散し、その後各フレームに対してさらにエラー訂正の C 1 符号を付けている。再生する時には、その逆に、先に C 1 符号でエラーの検出および訂正を行なっている。

【 0 0 1 1 】

C 1 符号によるエラー訂正を行なった後、次にデータの順番を元の状態に並べ

替え、C 1 符号で訂正できなかったエラーフレームのデータを分散させ、さらに C 2 符号でエラー訂正を行う。C 1 訂正は 2 8 バイト中 2 バイトの訂正が可能であるのに対し、C 2 訂正は 2 8 バイト中 4 バイトの訂正を行うことが出来る。

【 0 0 1 2 】

上述した記録再生システムを持つ C D においては、楽曲演奏よりもディスクからのデータ読み出しを速い速度で行い、ディスクから読み出したデータをデコードし、得られたデコードデータを一旦バッファメモリに蓄える。

【 0 0 1 3 】

一旦蓄えられたデータは、その後、バッファメモリから読み出され、楽曲演奏が行われる。このような楽曲演奏システムにおいて、デコード後のデータに同期信号を含まない音声 C D の場合、データをディスクから読み出してデコードしたデコードデータをバッファメモリに蓄える作業を一旦停止した後、再び作業を開始する際には、バッファメモリ上のデータの連続性を保証する必要がある。

【 0 0 1 4 】

あるいは、バッファメモリ上の特定のデータを更新し、それに続くデコードデータをバッファメモリに連続して蓄える場合、バッファメモリ上の更新データが正しく再現されることを保証する必要がある。

【 0 0 1 5 】

C D の楽曲演奏においては、バッファメモリに蓄えられたデータを順次読み出していくが、読み出す時点までにバッファに対して行われるデータ書き込みの一旦停止やバッファメモリ上のデータの更新が行われたかどうかは認識しない。

【 0 0 1 6 】

ディスクから読み出したデータからバッファメモリに蓄えるためのデータを得るには、ディスクから読み出したデータに対して E F M フレーム同期、E F M 復調および上述した C I R C デコードの処理が必要である。

【 0 0 1 7 】

C D にデータを記録する場合、予め定められた変換表を利用して 8 ビットの値を 1 4 ビットに変換して記録している (E F M 変調)。つまり、C D 内で 1 4 ビットを使って記録されているデータは、8 ビット分のデータである。従って、C

Dからデータを再生する際には変調された14ビットを8ビットに変換するEFM復調が必要である。

【0018】

上述したEFMフレーム同期とは、1000000000001000000000010の24ビットのEFM SYNCパターンを検出して588bitのEFMフレームの先頭を判断し、14bitを1シンボルとして1つのサブコードシンボルと32のメインデータシンボルを分離することである。

【0019】

また、サブコード同期とは、サブコードSYNCパターンS0, S1から98EFMフレームのサブコードフレームの先頭を判断し、データ分離まで含めるとすれば、EFM復調をして得られる1サブコードフレームあたり96Byteのサブコードデータを得ることである。

【0020】

サブコードシンボルP～QによるCIRCデコードにおいては、一般には8bitデータ幅の2048アドレスをもつインターリーブRAMを用いる。ディスクから読み出した信号からPLLで生成したビットクロックに従って、ディスクから読み出したデータの取りこみ（EFMフレーム同期、EFM復調、サブコード分離、メインデータのインターリーブRAMへの格納）を行う。

【0021】

サブコードデータの取りこみ、インターリーブRAMへのメインデータの書き込み動作自体はビットクロックで行うものではなく、ビットクロックで生成したイベント信号に従った水晶系クロックによる動作である。

【0022】

一方、CIRCデコードおよびデコードデータのバッファメモリへの書き込みと、バッファメモリからのデータ読み出しと楽曲演奏とは水晶系クロックで行われる。

【0023】

CDからの楽曲演奏時に、ディスクの回転ムラなどによりビットクロックが変動すると、ディスクから読み出したデータをインターリーブRAMへ格納する際

のデータレートも変動し、水晶クロックによって固定レートで行われるC I R Cデコードおよびデコードデータの読み出しとの間には、データレートの相違が出る。そのため、インターリーブRAMでは、ジッターマージンとしてF I F O領域を設けてビットクロック動作によるデータレートの相違があってもそれを吸収するようにしている。

【0024】

インターリーブRAMのF I F O動作は、書込時のデータレートが変動しても読出時のデータレートで正しく読み出せるように考慮したものであり、書き込みアドレスと読出アドレスとの間にジッターマージンとしてのアドレス領域を設定してあるので、読み出し時には書き込みアドレスから少なくともジッターマージン領域分だけ離れたアドレスから読み出している。

【0025】

すなわち、従来のディスク再生方式を説明するための図13を参照すると、インターリーブRAMに上述したジッターマージンとしてのF I F O領域を持つシステムでは、ディスクから読み出したデータのインターリーブRAMへの格納に対してC I R Cデコードを終えて読み出されたデコードデータとの間の遅延がF I F O動作時に変動することになる。

【0026】

一方、E F M復調において分離されるサブコードデータにはメインデータのようなF I F O動作をさせていないため、サブコードデータに含まれたQコードデータである時間位置情報およびデコードデータにはF I F O動作による位相変動が含まれることになる。

【0027】

デコードデータをバッファメモリに格納するシステムで、デコードデータの格納を一旦停止し再び開始する場合や、バッファメモリ上の特定のデータをデコードデータにより更新しそれに続くデコードデータを連続して格納する場合、ディスク上のデータ読み出し位置をQコードの時間位置情報をもとに目的の位置まで移動させ、所定のデコードデータからバッファメモリに格納するが、音声C Dのデコードデータは音声データそのものであり同期信号が含まれていないため、バ

ッファメモリに取りこみを開始するデコードデータ上の位置がデコードデータそのものだけでは判断できない。

【 0 0 2 8 】

また、サブコード同期信号に対する位相でバッファメモリに取りこみを開始するデコードデータ上の位置を決定するのは F I F O 動作による位相変動があるため再現性が保証できない。

【 0 0 2 9 】

従来のディスク再生方式の他の例を説明するための図である図 1 4 を参照すると、一般に行われる方法の一つは特開 2 0 0 0 - 1 0 5 9 7 8 号公報に記載されているように、デコードデータとバッファメモリ上のデータを比較して所定のデコードデータを判定する方法である（図 1 4 （ a ））。

【 0 0 3 0 】

あるいは、 F I F O 動作による位相変動をキャンセルする方法も取られている。同期信号、時間位置情報であるサブコード情報とデコードデータの同期を取り、バッファメモリに蓄えてデータの再現性を保証するものである。

【 0 0 3 1 】

一つは、目的時間位置情報におけるフレーム上の、特定位置のディスクから読み出したデータをインターリーブ R A M へ格納する際の書き込み（ w r i t e ）アドレスとデコードデータ取り出しの際のインターリーブ R A M の読み出し（ r e a d ）アドレスを比較して、一致した場合にタイミング信号を生成する方法である（図 1 4 （ b ））。

【 0 0 3 2 】

他の一つは、 C I R C デコードにおける F I F O 段数とスループットから目的のデコードデータが出力されるタイミング信号を生成する方法である（図 1 4 （ c ））。

【 0 0 3 3 】

一方、特開昭 6 0 - 1 3 6 0 6 1 号公報を参照すると、インターリーブ R A M にサブコードシンボルも格納し、メインデータと同様のアドレス管理を行い、メインデータと同期したサブコードデータを得る方法である。

【 0 0 3 4 】

上述した各例は、インターリーブRAMにジッタ吸収用としてFIFO領域をもつシステムの例であるが、これに対して特開平9-17124号公報を参照すると、ディスクから読み出した信号からPLLによりビットクロックを生成し、このビットクロックに従ってディスクから読み出したデータを取りこみ（EFMフレーム同期、EFM復調、サブコード分離、メインデータのインターリーブRAMへの格納）と、CIRCデコードおよびデコードデータのバッファメモリへの書き込みとを行い、バッファメモリからのデータ読み出しおよび楽曲演奏は水晶系クロックで行われるものである。

【 0 0 3 5 】

【発明が解決しようとする課題】

上述したように従来のディスク再生装置では、上述した公報のうち、デコードデータとバッファメモリ上のデータを比較して所定のデコードデータを判定する方法は、比較するデータが多いとハード量が大きくなることである。比較するデータを大きくしても誤判定の可能性が消えないという欠点を有する。

【 0 0 3 6 】

ディスクから読み出したデータをインターリーブRAMへ格納する際の書き込みアドレスとデコードデータ取り出しの際のインターリーブRAMの読み出しアドレスを比較する方法は、インターリーブRAMのアドレス比較は11bitデータの保持と比較であるため、ハード量が大きい欠点を有する。

【 0 0 3 7 】

CIRCデコードにおけるFIFO段数とスループットから目的のデコードデータが出力されるタイミング信号を生成する方法は、カウンタを用いて大きい遅延値を測定するにはカウンタのbit数が増える欠点を有する。

【 0 0 3 8 】

インターリーブRAMにサブコードシンボルも格納しメインデータと同様のアドレス管理を行い、メインデータと同期したサブコードデータを得る方法は、8bitデータ幅のインターリーブRAMには8bitのサブコードシンボルを格納することはできても、サブコード同期信号S0、S1が8bitでは表現でき

ず、インターリーブRAMの格納においてサブコード同期信号が失われてしまう欠点を有する。

【0039】

ディスクの回転ムラなどによる取り込みデータのデータレート変動は、デコードデータを格納するバッファメモリにおいて吸収されるものであり、デコードデータとサブコードデータには位相変動が発生しない。

【0040】

このようなシステムの欠点は、バッファメモリに格納されるデコードデータが固定レートではなくディスクの回転ムラなどにより変動するため、デコードデータが固定レートのシステムに比べてバッファメモリに格納されたデータの監視・制御が必要になり、マイコン、ソフトウェアの負担が増大することである。

【0041】

また、このようなシステムでは楽曲演奏においてデコードデータ格納のバッファメモリは必須であり、バッファメモリを介さずにデコードデータにより楽曲演奏という簡易構成を取る事は出来ない。

【0042】

本発明の目的は、上述した従来の欠点に鑑みなされたものであり、メインデータを格納するインターリーブRAMの空き領域に、サブコードに含まれた時間情報に同期保護をかけた後のサブコード同期信号を書き込み、そのサブコード同期信号をインターリーブRAMからメインデータとともに読み出すことで、メインデータとサブコード同期信号とを同期させることができるので、音声CDから読み出しデコードしたデコードデータをバッファメモリに蓄える作業を一旦停止し再び開始する場合でも、バッファメモリ上のデータの連続性を保証する技術を提供することにある。

【0043】

【課題を解決するための手段】

本発明の光ディスク再生装置は、光記録媒体から読み出したメインデータおよびそのサブコードを再生する際に、前記サブコードに含まれる同期情報に対し予め定める同期保護を行って得られたサブコード同期信号を、前記メインデータを

格納するインターリーブRAMの空き領域に書き込んで前記メインデータと同様にFIFO領域をもつアドレス管理を行うことにより、読み出した前記サブコード同期信号を前記メインデータと同期して機能させるインターリーブRAM制御手段を有することを特徴とする。

【0044】

また、前記インターリーブRAMから読み出した前記メインデータを、デコードデータとして外部出力用のバッファメモリに格納するとき、前記サブコード同期信号が前記バッファメモリへの書き込み開始を制御することができる。

【0045】

さらに、前記サブコード同期信号が格納される前記空き領域は、前記メインデータが書き込まれた各フレームにおけるデータシンボル群のうち、インターリーブ遅延を割り当てられたデータシンボルの配置位置に隣接したメモリ領域としてもよい。

【0046】

さらにまた、前記サブコード同期信号が格納される前記空き領域は、少なくとも前記最小または前記最大のインターリーブ遅延を割り当てられたデータシンボルと同等のマージンアドレスをもつメモリサイズを有する。

【0047】

また、前記インターリーブRAM制御手段は、1フレーム毎に1回だけ、前記サブコード同期信号を前記インターリーブRAMに対して書き込む同期情報更新機能を有することでもよい。

【0048】

さらに、前記サブコード同期信号を格納する領域は、FIFO動作による遅延制御を行うためのマージンアドレス領域を有し、前記インターリーブRAMの前記空き領域内に配置することでもよい。

【0049】

さらにまた、前記インターリーブRAMの前記空き領域に格納する前記サブコード同期信号は、1ビット信号のみとすることでもよい。

【0050】

また、サブコードシンボルビットPを前記サブコード同期信号であるビットデータに置き換えたシンボルデータを前記インターリーブRAMの前記空き領域に格納し、デ・インターリーブで取り出した前記シンボルデータからサブコード同期信号と、Qビット、Rビット、Sビット、Tビット、Uビット、VビットおよびWビットとを分離する機能を有することもできる。

【 0 0 5 1 】

さらに、前記サブコード同期信号を格納する最小構成は、マージンアドレス、データ書き込みアドレスおよびデータ読み出しアドレスの3種類の格納領域を有することでもよい。

【 0 0 5 2 】

本発明の光ディスク再生装置の他の特徴は、光記録媒体から読み出したメインデータおよびそのサブコードを再生する際に、前記サブコードに含まれる同期情報に対し予め定める同期保護を行って得られたサブコード同期信号を、前記メインデータを格納するインターリーブRAMの空き領域に書き込んで前記メインデータと同様にFIFO領域をもつアドレス管理を行うことにより、インターリーブRAMから読み出した前記サブコード同期信号を前記メインデータと同期したサブコード同期信号として機能させるインターリーブRAM制御手段を有し、前記インターリーブRAM制御手段が前記インターリーブRAMに含まれる前記FIFO領域のアンダーフローに応じて前記FIFO領域のセンタリングを行った場合に、前記センタリングで飛び越されるサブコード同期信号格納領域のアドレスに“0”データの書き込みを行う誤同期信号読み出し防止手段を有することにある。

【 0 0 5 3 】

本発明の光ディスク再生装置のまた他の特徴は、光記録媒体から読み出したメインデータおよびそのサブコードを再生する際に、前記サブコードに含まれる同期情報に対し予め定める同期保護を行って得られたサブコード同期信号を、前記メインデータを格納するインターリーブRAMの空き領域に書き込んで前記メインデータと同様にFIFO領域をもつアドレス管理を行うことにより、インターリーブRAMから読み出した前記サブコード同期信号を前記メインデータと同期

したサブコード同期信号として機能させるインターリーブRAM制御手段と、前記FIFO領域のアンダーフローが起きてから前記FIFO領域のセンタリングで飛び越されるサブコード同期信号格納領域のアドレスが読み出されるまでの一定期間、前記インターリーブRAMから読み出されるサブコード同期信号をマスクする同期信号マスク手段とを有することにある。

【 0 0 5 4 】

また、前記インターリーブRAMのFIFO領域をもつアドレス管理において、管理される前記FIFO領域がオーバーフローまたはアンダーフローした時にはライトアドレスを基準としてリードアドレスのセンタリングを行うことができる。

【 0 0 5 5 】

本発明の光ディスク再生装置のさらに他の特徴は、光記録媒体から読み出したメインデータおよびそのサブコードを再生する際に、前記メインデータをインターリーブRAMへ格納するとともに、前記サブコードに含まれる同期情報に予め定める第1の同期保護を行って得られた1ビットのサブコード同期信号も前記インターリーブRAMの空き領域に書き込み、前記メインデータとともに前記インターリーブRAMから読み出した前記サブコード同期信号に対して前記第1の同期保護とは異なる第2の同期保護を行う二重同期保護手段を有することにある。

【 0 0 5 6 】

また、前記第1の同期保護は、前記サブコードに含まれる第1および第2の同期情報を周期カウントした結果、前記第1および前記第2の同期情報が連続しているときのみ同期情報と見なす機能を有し、前記第2の同期保護は、前記周期カウントの結果に応じて、改めてサブコード同期信号を挿入するかまたは前記インターリーブRAMから読み出したサブコード同期信号を無視する機能を有することができる。

【 0 0 5 7 】

本発明の光ディスク再生装置のさらにまた他の特徴は、光記録媒体から読み出したメインデータおよびそのサブコードを再生する際に、前記サブコードに含まれる同期情報に対し予め定める同期保護を行って得られたサブコード同期信号を

、メインデータのフラグ信号を格納するフラグRAMの空き領域に書き込んで前記メインデータと同様にFIFO領域をもつアドレス管理を行うことにより、前記フラグRAMから読み出した前記サブコード同期信号を前記メインデータと同期して機能させるフラグRAM制御手段を有することにある。

【0058】

また、前記フラグRAMにおける前記サブコード同期信号の格納領域は、前記フラグRAMの空き領域の容量に応じて予め設定した前記FIFO領域のマージンアドレス容量に応じたメモリ容量を有することができる。

【0059】

本発明の光ディスク再生装置の他の特徴は、メインデータおよびそのサブコードを記録した光記録媒体から読み出された前記メインデータおよび前記サブコードからビットクロックを生成するPLL (Phase Locked Loop) 回路と、前記ビットクロックと前記メインデータおよび前記サブコードとを入力し同期情報の検出およびEFM (Eight to Fourteen Modulation) 変調されたメインデータを復調し出力するデータ検出・復調手段と、前記同期情報および復調された前記メインデータを基にCRC (Cyclic Redundancy Check) エラーチェックを行ったQコードCRC判定信号とQコードデータシンボルと前記同期情報に同期保護を行って得られたサブコード同期信号とを出力する同期保護・エラー訂正・Qコード分離手段と、前記Qコードデータシンボルから時間位置情報を読み出すQコードバッファ手段と、前記メインデータおよび前記サブコード同期信号を格納するインターリーブRAMと、前記サブコード同期信号を含むシンボルおよび前記メインデータを入力しCIRC (Cross Interleaved Reed-Solomon Code) エラー訂正を行うとともに、前記インターリーブRAMに格納される各シンボル領域のマージンアドレス領域をFIFO動作でアドレス管理し、かつ前記サブコード同期信号を含むシンボルを1フレーム毎に前記インターリーブRAMの空き領域に格納させ、さらに読み出した前記サブコード同期信号および前記メインデータを同期させて出力するエラー訂正・メモリ制御手段と、前記エラー訂正結果を格納するフラグRAMと、前記インターリーブRAMか

ら読み出した前記メインデータおよび前記サブコード同期信号を前記エラー訂正・メモリ制御手段を介して入力するメモリコントローラと、前記サブコード同期信号に同期して前記メインデータを格納するバッファメモリと、前記メインデータを前記Qコードデータシンボルと関連づけて管理するとともに前記バッファメモリに格納させるための制御および前記光記録媒体に対する光学的位置制御を行う中央処理装置（CPU）とをそれぞれ備えることにある。

【 0 0 6 0 】

本発明の光ディスク再生装置のデータ再生方法は、光記録媒体から読み出したメインデータおよびそのサブコードを再生する際に、前記サブコードに含まれる同期情報に対し予め定める同期保護を行って得られたサブコード同期信号を、前記メインデータを格納するインターリーブRAMの空き領域に書き込んで前記メインデータと同様にFIFO領域をもつアドレス管理を行うことにより、インターリーブRAMから読み出した前記サブコード同期信号を前記メインデータと同期して機能させることを特徴とする。

【 0 0 6 1 】

また、前記インターリーブRAMの前記空き領域の複数ビット幅のうちの1ビットに前記サブコード同期信号を、他の1ビットにはサブコードに含まれる8ビットのサブコードシンボルP、Q、R、S、T、U、V、WのうちのシンボルビットQのCRCエラー判定結果をそれぞれ格納することができる。

【 0 0 6 2 】

さらに、サブコードシンボルビットPを前記サブコード同期信号であるビットデータに置き換えたシンボルデータを前記インターリーブRAMの前記空き領域に格納し、デ・インターリーブで取り出した前記シンボルデータからサブコード同期信号と、Qビット、Rビット、Sビット、Tビット、Uビット、VビットおよびWビットとを分離することもできる。

【 0 0 6 3 】

本発明の光ディスク再生装置のデータ再生方法の他の特徴は、光記録媒体から読み出したメインデータおよびそのサブコードを再生する際に、前記サブコードに含まれる同期情報に対し予め定める同期保護を行って得られたサブコード同期

信号を、メインデータのフラグ信号を格納するフラグRAMの空き領域に書き込んで前記メインデータと同様にFIFO領域をもつアドレス管理を行うことにより、前記フラグRAMから読み出した前記サブコード同期信号を前記メインデータと同期して機能させることにある。

【 0 0 6 4 】

また、前記フラグRAMを前記前記サブコード同期信号の格納領域とする場合、前記FIFO領域のマージンアドレス領域は、前記フラグRAMの空き領域の容量に応じて決まるメモリ容量に予め設定されてもよい。

【 0 0 6 5 】

本発明の光ディスク再生装置のデータ再生方法のまた他の特徴は、光記録媒体から読み出したメインデータおよびそのサブコードを再生する際に、前記サブコードに含まれる同期情報に対し予め定める同期保護を行って得られたサブコード同期信号を、前記メインデータを格納するインターリーブRAMの空き領域に書き込んで前記メインデータと同様にFIFO領域をもつアドレス管理を行うことにより、インターリーブRAMから読み出した前記サブコード同期信号を前記メインデータと同期したサブコード同期信号として機能させるインターリーブRAM制御手段を有し、前記インターリーブRAM制御手段が前記インターリーブRAMに含まれる前記FIFO領域のアンダーフローに応じて前記FIFO領域のセンタリングを行った場合に、前記センタリングで飛び越されるサブコード同期信号格納領域のアドレスに“0”データの書き込みを行うことにある。

【 0 0 6 6 】

本発明の光ディスク再生装置のデータ再生方法のさらに他の特徴は、光記録媒体から読み出したメインデータおよびそのサブコードを再生する際に、前記メインデータをインターリーブRAMへ格納するとともに、前記サブコードに含まれる同期情報に予め定める第1の同期保護を行って得られた1ビットのサブコード同期信号も前記インターリーブRAMの空き領域に書き込み、前記メインデータとともに前記インターリーブRAMから読み出した前記サブコード同期信号に対して前記第1の同期保護とは異なる第2の同期保護を行うことにある。

【 0 0 6 7 】

また、前記サブコードに含まれる第 1 および第 2 の同期情報を周期カウントした結果、前記第 1 および前記第 2 の同期情報が連続しているときのみこれらの同期情報を前記第 1 の同期保護により前記サブコード同期信号と見なし、前記周期カウントの結果に応じて、前記第 1 および第 2 の同期情報を前記第 2 の同期保護により、改めてサブコード同期信号を挿入するかまたは前記インターリーブ RAM から読み出したサブコード同期信号を無視することができる。

【 0 0 6 8 】

【発明の実施の形態】

先ず、本発明の概要を述べると、光ディスク再生装置において、C I R C デコードにおけるインターリーブ RAM にデコードされたメインデータシンボル（以下、メインデータと称す）を書き込むだけでなくその空き領域に、サブコードに含まれたサブコード同期信号 1 ビットを書き込むことで、メインデータと同様に F I F O 領域を持つアドレス管理を行うので、インターリーブ RAM から読み出したサブコード同期信号とメインデータとを同期させることが出来るものである。

【 0 0 6 9 】

従って、インターリーブ RAM から読み出したメインデータと同期したサブコード同期信号によってバッファメモリへのデコードデータ（メインデータ）書き込み開始を制御することができ、音声 C D から読み出しデコードしたデコードデータをバッファメモリに蓄える作業を一旦停止し再び開始する場合でも、バッファメモリ上のデータの連続性を保証することができる。

【 0 0 7 0 】

以下、本発明の実施の形態を図面を参照しながら詳細に説明する。本発明の第 1 の実施の形態の構成を示した図 1、C I R C デコードコントローラ 1 4 のメモリアドレス管理回路を示した図 2 を参照すると、光ディスク再生装置 1 は、ディスクから読み出されたデータが E F M フレーム同期・E F M 変調回路 1 1 および P L L 回路 1 0 に入力される。

【 0 0 7 1 】

P L L 回路 1 0 で生成されたビットクロック 1 0 1 が、E F M フレーム同期・

E F M変調回路 1 1 に供給される。

【 0 0 7 2 】

E F Mフレーム同期・E F M変調回路 1 1 からは、変調時の 1 6 ビットからデコードされた 8 b i t のメインデータ 1 1 1 が C I R Cデコードコントローラ 1 4 に出力される。

【 0 0 7 3 】

さらに、E F Mフレーム同期・E F M復調回路 1 1 からは、サブコードの同期情報 S 0、S 1 を示す信号と 8 b i t のサブコードシンボル (P ~ Q) 1 1 2 がサブコード同期・Qコード・C D - T E X T分離・C R Cチェック回路 1 2 に出力される。

【 0 0 7 4 】

サブコード同期・Qコード・C D - T E X T分離・C R Cチェック回路 1 2 からは、同期保護を行ったサブコード同期信号 S C を含むシンボルが C I R Cデコードコントローラ 1 4 に出力される。

【 0 0 7 5 】

さらに、サブコード同期・Qコード・C D - T E X T分離・C R Cチェック回路 1 2 からは、Qコード C R C判定結果信号 1 2 1 および Qコード 1 2 2 が Qコード・C D - T E X Tバッファ回路 1 3 に出力される。

【 0 0 7 6 】

C I R Cデコードコントローラ 1 4 およびインターリーブ R A M 1 5 の間と、C I R Cデコードコントローラ 1 4 およびフラグ R A M 1 6 の間には、それぞれの R A M に書き込み、読み出すためのデータを入出力し、かつそのための制御信号が存在する。

【 0 0 7 7 】

C I R Cデコードコントローラ 1 4 からは、デコードデータであるメインデータ 1 4 1 およびバッファ開始のタイミングを告げるサブコード同期信号 S C がメモリコントローラ 1 7 に出力される。

【 0 0 7 8 】

メモリコントローラ 1 7 からは、バッファメモリ 1 8 に書き込み、読み出すメ

インデータが入出力され、かつそのための制御信号が出力される。

【 0 0 7 9 】

Qコード・CD-TEXTバッファ回路13からは、CPU19に対し、ディスクから読み出したメインデータの時間位置情報が出力される。

【 0 0 8 0 】

CPU19からは、メモリコントローラ17との間で、メモリコントローラ17をCPU19が制御する信号が入出力される。

【 0 0 8 1 】

上述した構成における各構成要素の機能を説明する。PLL回路10は、メインデータおよびそのサブコードを記録した光記録媒体（図示せず）から読み出されたメインデータおよびサブコードからビットクロック101を生成する。

【 0 0 8 2 】

EFMフレーム同期・EFM復調回路11（請求項のデータ検出・復調手段）は、ビットクロック101とメインデータおよびサブコードとをそれぞれ入力し、サブコードから同期情報を検出するとともに、EFM変調された16ビットのメインデータを8ビットデータに復調（デコード）し、メインデータ111を出力する。

【 0 0 8 3 】

サブコード同期・Qコード・CD-TEXT分離・CRCチェック回路12（請求項の同期保護・エラー訂正・Qコード分離手段）は、EFMフレーム同期・EFM復調回路11で検出された同期情報S0、S1と、サブコード112を基に、CRCエラーチェックを行い、そのチェック結果であるQコードCRC判定結果信号121と、QコードデータシンボルおよびそのCD-TEXT122と、同期保護を行ったサブコード同期信号SCを含むシンボルとを出力する。

【 0 0 8 4 】

Qコード・CD-TEXTバッファ回路13（請求項のQコードバッファ手段）は、CRCエラー判定結果信号121並びにQコードデータシンボルおよびそのCD-TEXT122から時間位置情報を読み出して出力する。

【 0 0 8 5 】

C I R Cデコードコントローラ14（請求項のエラー訂正・メモリ制御手段）は、同期保護が行われたサブコード同期信号SCを含むシンボルおよびメインデータ111を入力し、メインデータ111に対してC I R Cエラー訂正（C1）を行う。

【0086】

メモリアドレス管理回路140は、入力したメインデータ111および同期保護されたサブコード同期信号SCを基にインターリーブRAM15のデータ入出力領域をF I F O動作でアドレス管理する。さらに、制御信号に応じてメインデータ141とサブコード同期信号SCとを出力する。

【0087】

インタアーリーブRAM15は、入力したメインデータ111の格納に際し、メモリアドレス管理回路140の制御の下に、メモリアドレスがF I F O動作で管理され、かつサブコード同期信号SCを1フレーム毎にメインデータ111の格納領域の空き領域に格納する。さらに、格納されたサブコード同期信号SCをメインデータ141と同期したサブコード同期信号SCとして出力する。

【0088】

フラグメモリ（以下、フラグRAMと称す）16は、C I R Cエラー訂正結果143を格納する。

【0089】

メモリコントローラ17は、インタアーリーブRAM15から読み出したメインデータ141およびサブコード同期信号SCをC I R Cデコードコントローラ14を介して入力する。

【0090】

バッファメモリ18は、サブコード同期信号SCに同期してメモリコントローラ17との間で、メインデータ171を書き込み、読み出す。

【0091】

C P U19（中央処理装置）は、メインデータ172をQコードデータと関連づけて管理するとともに、バッファメモリ18に格納させるための制御および光記録媒体に対する光学的位置制御を行う。

【 0 0 9 2 】

上述した構成および基本機能を有するディスク再生装置 1 は、ディスクから読み出された変調データが、E F M フレーム同期・E F M 復調回路 1 1 と P L L 回路 1 0 に入力され、P L L 回路 1 0 ではディスクから読み出された変調データに位相同期したビットクロック 1 0 1 が生成される。

【 0 0 9 3 】

ビットクロック 1 0 1 は、E F M フレーム同期・E F M 復調回路 1 1 に入力され、E F M フレーム同期・E F M 変調回路 1 1 はビットクロックで動作する。

【 0 0 9 4 】

E F M フレーム同期・E F M 復調回路 1 1 は、ディスクから読み出された変調データから E F M フレーム同期パターンを検出し、5 8 8 b i t で構成される E F M フレームから 1 4 b i t のサブコードの同期情報 S 0、S 1 と 3 2 個の 1 4 b i t メインデータとを分離する。

【 0 0 9 5 】

3 2 個の 1 4 b i t メインデータ 1 1 1 を分離すると、これらのサブコードの同期情報 S 0、S 1 およびメインデータシンボル 1 1 1 である各 1 4 b i t シンボルに対して E F M 復調を行う。

【 0 0 9 6 】

E F M 復調により、1 4 ビットのサブコードの同期情報 S 0、S 1 は、サブコードの同期情報 S 0、S 1 であるか否かの判定信号または 8 b i t のサブコードの同期情報に変換される。1 4 ビットのメインデータ 1 1 1 は 8 b i t のメインデータシンボルに変換される。

【 0 0 9 7 】

サブコードの同期情報 S 0、S 1 を示す信号および 8 b i t のサブコードシンボル P、Q、R、S、T、U、V、W が、サブコード同期・Q コード・C D - T E X T 分離・C R C チェック回路 1 2 に出力され、サブコードの同期情報 S 0、つづいて S 1 で始まる 9 8 E F M フレームからなるサブコードフレームを検出する。

【 0 0 9 8 】

一方、S0, S1を除く96サブコードシンボルP, Q, R, S, T, U, V, Wからは、8bitサブコードシンボルP, Q, R, S, T, U, V, WのうちのQビットのみを分離し、1サブコードフレームあたり12Byte (=1ビット×96フレーム)のQコードデータを分離する。

【0099】

12ByteのQコードデータの後半(Q81～Q96)の2Byteはパリティであり、前半(Q1～Q80)の10Byteは時間位置情報である。

【0100】

パリティを反転させたQコードデータを、

$$P(x) = x^{16} + x^{12} + x^5 + 1$$
 で表されるCRCチェッカに入力し、判定がOKであるQコードデータがQコード・CD-TEXTバッファ13で読み出し可能となる。

【0101】

サブコード同期・Qコード・CD-TEXT分離・CRCチェック回路12におけるサブコードフレーム検出では、サブコードの同期情報S0, S1の同期保護が行われ、98EFMフレーム周期でサブコードの同期情報S0, S1のどちらも検出されなかった場合には、同期情報S0, S1を挿入したり、98EFMフレーム周期に従わずに入力されたサブコードの同期情報を、既定回数無視したりする同期保護動作を行う。

【0102】

同期保護が行われたサブコード同期信号SCを含むシンボルがCIRCデコードコントローラ14に出力される。この第1の実施の形態ではQコードデコードおよびCD-TEXTデコードを、インターリーブRAM15の前段のサブコード同期・Qコード・CD-TEXT分離・CRCチェック回路12で行ってしまう構成であるから、シンボルに含まれるのはサブコード同期信号だけでよく、サブコード同期信号SCを含むシンボルとは、例えば〔サブコード同期信号, 0, 0, 0, 0, 0, 0〕となる。

【0103】

CIRCデコードコントローラ14は、図2を参照すると、インターリーブR

AM15との間の信号として、アドレス、書きこみ、読み出しなどの制御信号と、入出力信号（メインデータ、SC）141であり、入出力信号141の入力信号はサブコード同期信号SCおよびメインデータ111が混じっている入力データであり、出力信号はサブコード同期信号SCとメインデータ142とが分離されている。

【0104】

上述したインターリーブRAM15との間の制御信号および入出力信号は、CIRCデコードコントローラ14への入力、出力でもあるが、インターリーブRAM15へのデータアクセスは、CIRCデコードコントローラ14内部で閉じたデータ入出力でもある。

【0105】

EFMフレーム同期・EFM復調回路11から入力されたメインデータ111をインターリーブRAM15に格納する一方で、メインデータ111の前半のパリティ4シンボルに対しC1シンドローム演算を行う。

【0106】

ここで、1EFMフレーム32シンボルに含まれる前半28シンボル（データ12シンボル＋パリティ4シンボル＋データ12シンボル）のみをインターリーブRAM15に格納し、後半のC1パリティ4シンボルについてはインターリーブRAM15に格納せずエラー訂正の対象にもしない。

【0107】

C1シンドローム演算は奇数シンボル偶数シンボルが1delayの関係で二つのEFMフレームにまたがっているため、2EFMフレームが入力されたところで1フレーム分のC1シンドローム演算が終了する。

【0108】

シンドローム演算を保持するデータは奇数シンボル偶数シンボルで2系統存在することになる。C2シンドローム演算ならびにC2エラー訂正は、インターリーブRAM15に格納されたメインデータ141のうちのからインターリーブ遅延を解いた28シンボルを読み出して行われる。

【0109】

C I R Cデコードコントローラ14は、メインデータに対するシンドローム演算結果をもとにエラー判定、エラー訂正を行う。C1訂正では2シンボルまでのエラー訂正を行うことが可能である。従って、C1エラー訂正の結果をフレーム単位でフラグとしてフラグRAM16に記録することによって、C2エラー訂正では2シンボルまでのエラー訂正とフラグを参照することにより、4シンボルまでの消失訂正が可能である。

【0110】

C1エラー訂正、デインターリーブ、C2エラー訂正を行った28シンボルのメインデータはスクランブルと2delayが解かれ、1フレーム24シンボル、音声データとしては16bitデータの12シンボルが順次インターリーブRAM15から読み出され、デコードデータとしてC I R Cデコードコントローラ14からメモリコントローラ17を介してバッファメモリ18に出力される。

【0111】

音声CDにおいては、中間値補間処理の場合、インターリーブRAM15から読み出されたメインデータ（デコードデータ）は、C2エラー訂正で異常データと判定されたデータについては、16bitデータ単位で前後の正常データの中間値と置き換えられる。

【0112】

C I R CデコードにおけるインターリーブRAM15、フラグRAM16は、それぞれリングバッファとして使用され、最大アドレスの次は最小アドレスに戻る。すなわち、新しいフレームでは、データを書き込み、読み出すアドレスがインクリメントされ、最大アドレスの次は最小アドレスのゼロアドレスとなり、それぞれのRAM15、16の使用領域はその大きさが固定のままRAMアドレス空間を巡回する。

【0113】

E F Mフレーム同期・E F M復調回路11は、P L L回路10で生成したビットクロック101で動作し、その他の回路は周波数が一定の水晶系クロックで動作する。

【0114】

動作クロックは異なるが、ディスクの回転が安定した定常状態では、CIRCデコードコントローラ14に入力される1EFMフレーム32シンボルとCIRCデコードから出力される1フレーム24シンボルとは、1フレームの周波数が等しく、1倍速では7.35KHzである。

【0115】

しかし、ディスクの偏心などでディスクに回転ムラがある場合、ディスクから読み出される1EFMフレーム588ビット32シンボルのデータは7.35KHzの周期長からはずれることになる。

【0116】

一方、8bitデータ幅2048アドレスのインターリーブRAM15は、定常状態のみであれば、基本的には次のアドレス数が必要である。

基本のアドレス数 = [データ書き込み + 1 delay + C1訂正 + インターリーブ遅延 (27D ~ 0D : D = 4) + C2シンドローム + C2訂正 + 2 delay + データ読み出し]

この基本的なアドレス数について検討すると、

[データ書き込み + C1訂正 + C2シンドローム + C2訂正 + データ読み出し] のフローに各28シンボルそれぞれの位置に1アドレスを与えてとしても、[C2訂正 + データ読み出し] のアドレスはパリティには必要ないので、これらのアドレスは各24シンボルでもよい。

【0117】

従って、1 delay は14シンボル、2 delay は12シンボル、インターリーブ遅延はD = 4で27 × D + ... + 0 × Dなので、結局、定常状態でのメモリ領域のアドレス数は、

アドレス数 = (データ書き込み + C1訂正 + C2シンドローム + C2訂正 + データ読み出し) × 28
となる。

【0118】

従って、インターリーブRAM15に必要なアドレス空間は、
必要なアドレス空間 = (データ書き込み + C1訂正 + C2シンドローム

$$\begin{aligned}
& + C2 \text{訂正} + \text{データ読み出し}) \times 28 + (1 \text{delay}) \times 14 \\
& + (2 \text{delay}) \times 12 + (27 + 26 + \dots + 1 + 0) \times 4 \\
& = (28 \times 5) + 14 + (108 \times 14) + 12 \times 2 \\
& = 140 + 14 + 1512 + 24 = 1690 \text{アドレス}
\end{aligned}$$

であればよい。この場合、8bitデータ幅2048アドレスのインターリーブRAM15には、

$$2048 - 169 = 358 \text{アドレス}$$

もの空き領域があることになる。

【0119】

上述した構成ではデータ書き込みされたアドレスと1delayのない場合のC1訂正アドレスとが隣り合っており、各シンボルの領域も隣接している。そのため、ディスクから読み出されるデータのデータレートが早くなった場合には、同じシンボル位置のデータ書き込みアドレスとC1訂正アドレスとが干渉する。

【0120】

また、ディスクから読み出されるデータのデータレートが遅くなった場合には、データ書き込みアドレスに、隣のシンボルのデータ読み出しアドレスが干渉する。

【0121】

そこで、同じシンボル位置のデータ書き込みアドレスとC1訂正アドレス、データ書き込みアドレスと隣のシンボルのデータ読み出しアドレスとにそれぞれマージンを取ることによって、例えばディスクの回転ムラなどによりディスクから読み出されるデータのデータレートに変化があっても対応できるようにする方法がとられる。

【0122】

すなわち、ディスクから読み出したデータの取り込みは、データからPLL回路10によって再現したビットクロック101でデータを認識し取り込みを行っている。

【0123】

ここで、データの取り込みはディスクの回転の影響を受けることになる。ディ

スクの回転や読み出しの線速度が一定になるように制御をかけるが、ディスクに偏心があったり回転ムラで線速度に乱れが生じ、ビットクロックで認識されて取り込まれたデジタルデータのデータレートには乱れが生じてしまう。

【 0 1 2 4 】

一方、システムクロックは水晶発振子で生成されるクロックを元にし、最終的には一定レートで音声データを取り出している。それは最終の音声データの取り出しを水晶系クロックの一定レートで行わないと、音声データに歪みが生じてしまうためである。

【 0 1 2 5 】

すなわち、ディスクからのデータの取り込みはデータレートに変動が生じる可能性のある状況で行われているということであり、デコードを行った最終的なデータの取り出しは変動のない一定レートで行われる。

【 0 1 2 6 】

そのため、デコードを行う処理系では、データの取り込みと最終的なデータの取り出しにおけるデータレートの差（ジッタ・回転ムラ＝データレートの差）を吸収しなければならない。

【 0 1 2 7 】

一般的には、データを格納する R A M に F I F O 動作をさせるとともに、ジッタ吸収を行うための領域を置き、データレートの差の影響を吸収している。データを格納する前段にレジスタで構成した F I F O 回路を置いてもよいが、データ格納に用いる R A M に適当な規模のものをを用いると、R A M 容量に余裕があるため、ジッタ吸収の F I F O 動作を R A M のアドレッシングで行える。

【 0 1 2 8 】

動作としては、取り込んだデータは連続するアドレスに格納（書き込み）して行き、処理の為にデータを読み出すときは、先の書き込みアドレスとは離れた「古い」アドレスのデータから使いはじめる。

【 0 1 2 9 】

後述する図 4 においては、アドレスを固定で考えた場合、古いデータは左側、新しいデータはデータ書き込み“W”の位置が順次右に移動していきデータを格

納する。

【0130】

一方、処理のためのデータ読み出し“R”または読み出し／書き込み“R/W”は、“W”とは離れた位置にあり、これも次第に右に移動していく。データ取り込みとデータ処理のデータレートが等しい場合には、“W”と、“R”または“R/W”の位相関係はそのままでも右に移動していく。

【0131】

また、図4においてアドレスを固定ではなく位相関係で考えると、データ取込とデータ処理のデータレートが等しい場合には、“W”と、“R”、または“R/W”の関係は変化がなく、新しいフレームになるたびにそれぞれのアドレスが1つつインクリメントする。

【0132】

データの取り込みのデータレートに変動が出た場合、例えばデータレートが遅くなった場合、“W”の移動は遅くなり、処理スピードにはそれほど変化がないので、“W”と、“R”または読み出し／書き込み“R/W”のアドレス上の距離は近づくことになる。

【0133】

データレートが速くなった場合、“W”の移動が速くなり、“W”と、“R”または読み出し／書き込み“R/W”の距離は開くことになる。

【0134】

従って、データ書き込み“W”と、データ処理“R”または“R/W”の位相関係は、取り込みのデータレートに従って変動することになる。

【0135】

“W”と、“R”または“R/W”との間のアドレスがデータレートの変動に従って増減し、FIFO動作を行い、データレート変動においても正常な処理が可能になる。

【0136】

取り込みのデータレートが遅い場合、“W”と、“R”または“R/W”との間のアドレスを使い果たし、“W”と、“R”または“R/W”が干渉し正常な

処理が出来なくなる。

【0137】

上述したのは、1つのシンボルのRAM上の領域についてであるが、RAM上では、各シンボルの領域が隣り合って配置されるので、取り込みのデータレートが速い場合は、あるシンボルの“W”と、“R”または“R/W”との間のアドレスが離れてしまうと、“W”とは隣り合うシンボルの“R”または“R/W”が、“R”または“R/W”とは隣り合うシンボルの“W”が近づくことであり、その場合も隣り合うシンボルと干渉した場合には正常な処理が出来なくなる。

【0138】

従って、アドレスのマージンはFIFO段数のイメージでジッタ吸収を行うことができる。つまり、データ読み出しのアドレス位置とデータ書き込みのアドレス位置を異ならせるのは、アドレス上にジッタマージンを持たせ、FIFO動作により取り込みのデータレート変動においても処理を正常に行うためである。

【0139】

上述したインターリーブRAMにおけるジッターマージンを持たせる場合、同じシンボル位置のデータ書き込みアドレスとC1訂正アドレス、あるいは1delayアドレスの間に6アドレス、データ書き込みアドレスと次のシンボルのデータ読み出しアドレスの間に6アドレスのマージンアドレスを取ると、使用アドレスには、

$$(6+6) \times 28 = 336 \text{ アドレス}$$

が追加となり、使用アドレスは、

$$1690 + 336 = 2026 \text{ アドレス}$$

となる。

【0140】

この場合、マージンアドレスはデータ書き込みアドレスの前後に6アドレスずつとなり、データ書き込みアドレスは初期状態で7アドレス、最小で1アドレス、最大で13アドレスの段数としてのFIFO動作を行う。この場合でも2048アドレスのインターリーブRAMには22アドレスの空きがあることになる。

【0141】

上述したマージンアドレスを持つ構成において、インターリーブ遅延が $0 \times D$ と最も短い 28 番目のシンボル $0D$ の使用領域のアドレス配置を示した図 3 を参照すると、上段がシンボル内アドレス配置を示し、下段が 28 番目 : $0D$ のシンボルを示してある。

【 0 1 4 2 】

$0D$ シンボルの使用アドレスは、

$$\begin{aligned} \text{使用アドレス} &= (\text{データ書き込み} + 1 \text{ delay} + C1 \text{ 訂正} \\ &+ \text{インターリーブ遅延} (0 \times D : D = 4) + C2 \text{ シンドローム} + C2 \text{ 訂正} \\ &+ 2 \text{ delay} + \text{データ読み出し}) + \text{マージンアドレス} (6 + 6) \\ &= (1 + 1 + 1 + 0 + 1 + 1 + 2 + 1) + 12 \\ &= 20 \text{ アドレス} \end{aligned}$$

である。

【 0 1 4 3 】

上述した $0D$ シンボルの使用アドレスが 20 アドレスであることを念頭に置いてサブコード同期信号の格納領域を検討すると、サブコード同期・Qコード・CD-TEXT 分離・CRC チェック回路 12 から CIRC デコードコントローラ 14 に出力されるサブコード同期信号 SC を、1 フレームに一度インターリーブ RAM にリードおよびライトを行う。

【 0 1 4 4 】

そのアドレス管理は、インターリーブ遅延が $0 \times D$ と最も短い 28 番目のシンボルと同様にデータの書き込みにおいてマージンアドレスを持ち、かつ FIFO 動作を行うような遅延制御を行い、インターリーブ RAM 15 に格納することによって、インターリーブ RAM 15 から読み出したサブコード同期信号 SC は、同様にインターリーブ RAM 15 から読み出したメインデータ（デコードデータ）と同期したサブコード同期信号 SC となる。

【 0 1 4 5 】

ここでインターリーブ RAM シンボルの領域配置を示した図 3 を参照すると、インターリーブ RAM 15 におけるシンボル領域の配置とサブコード同期信号領域の配置が示されている。

【 0 1 4 6 】

すなわち、例えば各シンボル領域 2 7 D ~ 0 D は隣接して 2 0 4 8 アドレスのインターリーブ R A M 1 5 に配置され、0 D シンボルに隣接してサブコード同期信号 S C の領域が配置される。

【 0 1 4 7 】

前述した図 3 におけるサブコード同期信号のアドレス領域を、図 4 の 0 D 領域の下位ビットの位置に、連続して格納する配置領域であることが理解できるであろう。サブコード同期信号 S C を格納する領域は、0 D シンボルの使用領域と等しい 2 0 アドレスである。なお、ここでは 0 D 領域の下位ビットの位置に、連続して格納したが、後述する図 1 1 に示したように、2 7 D 領域の前の領域に配置してもよい。

【 0 1 4 8 】

インターリーブ R A M 1 5 から読み出したサブコード同期信号 S C、すなわち、メインデータ 1 4 2 と同期したサブコード同期信号 S C が C I R C デコードコントローラ 1 4 からメモリコントローラ 1 7 に出力され、メモリコントローラ 1 7 は、サブコード同期信号 S C によってバッファメモリ 1 8 にメインデータ（デコードデータ）1 7 1 の取り込みを開始させる。

【 0 1 4 9 】

C P U 1 9 は、光ディスクに対する光学ヘッドの内外周方向への位置を制御し、Q コード C D - T E X T バッファ 1 3 から得られる Q コード時間位置情報 1 3 1 でその位置を判断する。

【 0 1 5 0 】

バッファメモリ 1 8 上のメインデータ 1 7 1 を Q コード情報 1 3 1 と関連付けてサブコードフレームに含まれる 9 8 × 2 4 B y t e 単位で管理する。すなわち、メインデータ 1 4 2 と同期したサブコード同期信号 S C によりバッファメモリ 1 8 へのメインデータ 1 7 1 の取り込みを開始することにより、Q コード情報 1 3 1 と関連付けたメインデータ 1 7 1 をバッファメモリ 1 8 に再現性を持って格納することができる。

【 0 1 5 1 】

上記バッファメモリは一般的にショックブーフやPCでのCD再生など、一旦音声データを蓄えるメモリであり（データ格納のインターリーブRAM）とは異なる）、ディスクからの読み出しとデコード処理を高速（1より大きいn倍速）で行い、バッファメモリ18がいっぱいになるまで格納し、バッファメモリ18が一杯になったらディスクからの読み出しを停止し、バッファメモリ18への格納も停止する。

【0152】

バッファメモリ18からは1倍速でデータを取り出して楽曲演奏を行うが、バッファメモリ18のデータが少なくなると、また高速でディスクからデータを読み出してデコード処理を行いバッファメモリ18にデータを蓄える。

【0153】

バッファメモリ18にデータを再び蓄える間も、バッファメモリ18からの1倍速でのデータ取り出しと楽曲演奏は継続されている。

【0154】

バッファメモリ18からの1倍速でのデータ取り出しと楽曲演奏は継続して行われるが、ディスクからのデータ読み出しとデコード処理とバッファメモリ18へのデータ格納は高速で断続的に行われる。

【0155】

上述した動作を行うためには、連続した楽曲データのある単位で区切り、バッファメモリ18上でつなぎ合わせる必要がある。

【0156】

しかし、音声CDのデコードデータである楽曲データ上には目印がついていないため、CD-ROMのデコードデータにはヘッダ情報があるが、音声CDで用いることの出来る目印はサブコードに含まれるQコードデータのみである。

【0157】

ディスクからデータの読み出しを行いながらQコードデータでディスク上の位置を検出し、目的位置に対応するメインデータ（デコードデータ）からバッファメモリ18に格納を開始することが目的の動作である。

【0158】

すなわち、メインデータには前述したように、F I F O 動作があるために、Qコードデータの検出とメインデータの関係が一定ではなく、F I F O 動作がいつ何の要因で働くかわからないため、ディスクのある決まった場所を再生（データ取込、デコード動作）しても、メインデータの得られるタイミングが毎回変動する。

【 0 1 5 9 】

そこで、本発明ではメインデータに本来無いはずの「目印」として、インターリーブRAMに1ビットのサブコード同期信号SCを格納し、メインデータと同様のF I F O 管理を行い、インターリーブRAM15から読み出したサブコード同期信号SCを用いてバッファメモリ18へのメインデータ171の取り込みを制御している。

【 0 1 6 0 】

つまり、メインデータ171のタイミングを取ることが目的であるから、QコードデータをインターリーブRAM15に書きこむ必要はなく、サブコード同期信号1ビットのみで十分である。

【 0 1 6 1 】

上述したように、第1の実施の形態によれば、インターリーブRAM15の空き領域を用い、サブコードの処理系は従来そのままサブコード同期信号のみインターリーブRAM15に書きこみ、読み出されたサブコード同期信号を用いるのみであるから、従来構成からもハード量の増加が少なく、機能的なデメリットもなくメインデータの正確なバッファリングを行うことが可能となる。

【 0 1 6 2 】

データ比較方式、インターリーブRAMアクセスのアドレス比較方式に対しては回路規模が小さく、F I F O 管理のアドレス値からデータタイミングを予測する方式に対しては、同期位置を変更してもアドレッシングを変更するのみで回路規模の変化がほとんどない。

【 0 1 6 3 】

従来ある機能と独立した回路を設けるものではなく、従来のものに機能追加するものであり、回路規模の増加が少なく、システム的な誤りを含む可能性も少な

い。

【 0 1 6 4 】

サブコードシンボルそのもの、またはQコードシンボルをバッファリングする方式ではシンボルで8 b i tを使ってしまうため、同期情報の格納が出来なくなってしまうが、本発明では、時間位置情報の更新は1サブコードフレームに1回であり、Qコードをバッファリングする必要はなく、サブコード同期信号をバッファリングするだけで十分である。

【 0 1 6 5 】

また、サブコードシンボルP～Qそのもの、またはQコードシンボルをバッファリングする方式では、Qコードデータの更新にバッファリング遅延が発生するが、本発明では同期情報S 0， S 1に同期保護をかけて抽出したサブコード同期信号C Sのみをバッファリングするものであり、Qコードデータには従来通りバッファリング遅延は生じない。

【 0 1 6 6 】

次に、第2の実施の形態を説明する。

【 0 1 6 7 】

上述した第1の実施の形態においては、インターリーブRAM15に追加で格納するのは、同期情報S 0， S 1に対して同期保護を行った後の最小構成のサブコード同期信号S Cの1 b i t信号のみであったが、インターリーブRAM15は8 b i tのデータ幅があるので、他に7 b i tまでのデータも格納することができる。従って、7ビットのうちの1ビットにもQコードのC R C判定結果のみをサブコード同期信号S Cと一緒に格納してもよい。

【 0 1 6 8 】

すなわち、第2の実施の形態におけるインターリーブRAMのシンボル領域配置の他の例を示す図5を参照すると、ジッタ吸収においては、サブコードに含まれる同期情報S 0， S 1に同期保護をかけて抽出したサブコード同期信号S Cのみをメインデータとともに再生側のインターリーブRAM15の空き領域に書き込み、メインデータ141と同様にF I F O領域をもつアドレス管理を行うことができ、読み出したサブコード同期信号S Cをメインデータ141と同期したサ

ブコード同期信号SCとして機能させる際に、インターリーブRAM15の空き領域の8ビット幅の1ビットには前述したサブコード同期信号SCを、他の1ビットにはサブコードに含まれる8ビットのサブコードシンボルP, Q, R, S, T, U, V, WのうちのシンボルQのエラー判定結果をそれぞれ格納する。

【0169】

また、サブコードのPビットをサブコード同期信号で置き換えた図6を参照すると、サブコードシンボルP, Q, R, S, T, U, V, Wそのものは8bitで同期信号と同時に格納することは出来ないが、サブコードシンボルP, Q, R, S, T, U, V, WのうちのPビットを、サブコード同期信号SCで置き換え、インターリーブRAM15に格納し、取り出したデータからQコードデータ、CD-TEXTデータを分離することも出来る。

【0170】

なお、Qコード、CD-TEXTを分離するとは、1サブコードフレームに含まれる98EFMフレームのうちのS0, S1を除いた96のサブコードシンボルからQビット、R, S, T, U, V, Wビットを取り出すことである。

【0171】

つまり、サブコードシンボル書き換えは、フレーム3からフレーム98までのサブコードシンボル“P, Q, R, S, T, U, V, W”が“サブコード同期信号, Q, R, S, T, U, V, W”のように、“P”の位置の1bitがサブコード同期信号“SC”に書き換わるものである。

【0172】

このときの構成を示した図7を参照すると、第1の実施の形態との相違点は、サブコード同期・Qコード・CD-TEXT分離・CRCチェック回路12に含まれていたQコードデコード、CD-TEXTデコードがインターリーブRAM15の後段に移されていることである。

【0173】

すなわち、EFMフレーム同期・EFM復調回路11からは、サブコード同期信号S0, S1を示す信号と8bitのサブコードシンボルP, Q, R, S, T, U, V, W112がサブコード同期・サブコードシンボル書き換え回路20に

与えられる。サブコード同期・サブコードシンボル書き換え回路 2 0 は、上述したように、フレーム 3 からフレーム 9 8 までのサブコードシンボル〔P, Q, R, S, T, U, V, W〕が〔サブコード同期信号, Q, R, S, T, U, V, W〕のように、“P”の位置の 1 b i t がサブコード同期信号“SC”に書き換えた後、サブコード同期信号 SC を含むシンボル“サブコード同期信号, Q, R, S, T, U, V, W”を C I R C デコードコントローラ 1 4 に出力する。前述した第 1 の実施の形態でのシンボルは〔サブコード同期信号, 0, 0, 0, 0, 0, 0, 0〕であったことも異なる点である。

【 0 1 7 4 】

C I R C デコードコントローラ 1 4 は、“サブコード同期信号, Q, R, S, T, U, V, W”をインターリーブ RAM 1 5 の他に Q コード・C D - T E X T 分離・C R C チェック回路 2 1 にも出力する。

【 0 1 7 5 】

Q コード・C D - T E X T 分離・C R C チェック回路 2 1 は、サブコード同期機能として、サブコード同期信号 SC の周期性を検出し、予め定めた規則に従ってサブコード同期の判定（同期保護）を行い、周期性を守らずに来た同期信号 S 0, S 1 をマスクするなどして同期保護済みのサブコード同期信号 SC を生成する。それ以外の構成は図 1 の回路と同様である。

【 0 1 7 6 】

Q コードでは、9 6 サブコードシンボルに含まれる 9 6 ビット、すなわち、1 2 B y t e は 1 0 B y t e の目的データと 2 B y t e の（反転）パリティデータからなり、1 2 B y t e データを用いて C R C 判定を行うことができる。

【 0 1 7 7 】

C D - T E X T では、9 6 シンボルのうち 2 4 シンボル単位に含まれる 1 8 B y t e (6 × 2 4 / 8) のうち 1 6 B y t e の目的データと 2 B y t e の（反転）パリティデータからなり、1 8 B y t e データを用いて C R C 判定を行うことができる（C D - T E X T M o d e 4 の場合）。C R C 判定結果が O K で誤りがないと見なされたデータが用いられる。

【 0 1 7 8 】

上述したように、第2の実施の形態によれば、インターリーブRAM15の空き領域を用い、サブコードの処理系は従来のままで8ビットのうちの1ビットにサブコード同期信号SCを、他の1ビットにもQコードのCRC判定結果のみをサブコード同期信号SCと同様にインターリーブRAM15に書きこみ、読み出されたサブコード同期信号およびCRC判定結果を用いるのみであるから、従来構成からもハード量の増加が少なく、機能的なデメリットもなくデコードデータの正確なバッファリングを行うことが可能となる。

【0179】

また、同期位置を変更してもアドレッシングを変更するのみで回路規模の変化がほとんどなく、システムの誤りを含む可能性も少ない。

【0180】

時間位置情報の更新は1サブコードフレームに1回であり、Qコードをバッファリングする必要はなく、サブコード同期信号をインターリーブRAMバッファリングするだけで十分である。

【0181】

また、同期情報S0、S1に同期保護をかけて抽出したサブコード同期信号CSおよびQコードのCRC判定結果のみをインターリーブRAMにバッファリングするものであり、Qコードデータには従来通りバッファリング遅延は生じない。

【0182】

次に第3の実施の形態を説明する。

【0183】

第1の実施の形態においては、インターリーブRAM15に格納するサブコード同期信号SCのアドレス管理は、インターリーブ遅延が $0 \times D$ と最も短い28番目のシンボルと同様に20アドレスを使用するものであったが、インターリーブRAM15から読み出したサブコード同期信号SCとメインデータ141とが同期するには、サブコード同期信号SCのインターリーブRAM15格納において、マージンアドレスを持ちFIFO動作を行う遅延制御のみがメインデータのアドレス管理と同様であればよい。

【 0 1 8 4 】

つまり、後述する F I F O 領域のアンダーフロまたはオーバーフロが起きたときの状態を説明するための図 8 から理解できるように、マージンアドレスとして (6 + 6) である場合には、マージンアドレス以外にはデータ書き込みアドレスとデータ読み出しアドレスの 2 アドレスのみが必要であり、この場合の最小構成としてはサブコード同期信号格納領域を 1 4 アドレスとすることができる。

【 0 1 8 5 】

上述したように、第 3 の実施の形態によれば、インターリーブ R A M 1 5 の空き領域を用い、サブコードの処理系は従来のままで 8 ビットのうちの 1 ビットにサブコード同期信号 S C をインターリーブ R A M 1 5 の、サブコード同期信号格納領域に 1 4 アドレスで書きこみ、読み出されたサブコード同期信号を用いるのみであるから、従来構成からもハード量の増加が少なく、機能的なデメリットもなくデコードデータの正確なバッファリングを行うことが可能となる。

【 0 1 8 6 】

また、同期位置を変更してもアドレッシングを変更するのみで回路規模の変化がほとんどなく、システム的な誤りを含む可能性も少ない。Q コードデータには従来通りバッファリング遅延は生じない。

【 0 1 8 7 】

次に第 4 の実施の形態を説明する。

【 0 1 8 8 】

ディスクから読み出すデータのデータレート変動により、インターリーブ R A M 1 5 上のデータ書きこみアドレスの相対位置が変動し、マージンアドレスを使い果たしてしまうと、同じシンボル位置のデータ書き込みアドレスと C 1 訂正アドレスが干渉し、またはデータ書き込みアドレスと隣のシンボルのデータ読み出しアドレスが干渉し正常な C I R C デコードが出来なくなる。

【 0 1 8 9 】

このようにマージンアドレスを使い果たした場合、すなわち F I F O 領域のアンダーフローまたはオーバーフローが起きたときは、データ書き込みアドレスの相対位置を初期状態に強制的に移行させ、アドレスのセンタリングを行う。

【 0 1 9 0 】

F I F O 領域のアンダーフローまたはオーバーフローが起きたときのセンタリングを説明するための図 8 を参照すると、図 8 (a) では、リセット直後（センター位置）における読み出し（R）および書き込み（W）の位置は、F I F O 領域の 1 4 アドレスの先頭アドレス（図の左端）に“R”のアドレス、次の 6 アドレス領域がジッターマージン領域、次に“W”のアドレス、次の 6 アドレス領域がジッターマージン領域となる。

【 0 1 9 1 】

上述した領域配置の時、図 8 (b) では、マージンアドレスを使い果たしオーバーフロー直前における読み出し（R）および書き込み（W）の位置は、F I F O 領域の 1 4 アドレスの先頭アドレス（図の左端）に“R”のアドレス、1 4 アドレス目（図の右端）に“W”のアドレスがきた状態である。

【 0 1 9 2 】

一方、図 8 (c) では、アンダーフロー直前における読み出し（R）および書き込み（W）の位置は、F I F O 領域の 1 4 アドレスの先頭アドレス（図の左端）に“R”のアドレス、その次のアドレスに“W”のアドレスがきた状態である。

【 0 1 9 3 】

アドレスが $R = W$ となる場合には、アンダーフローとなり直ちにアドレスのセンタリングを実行する。この $R = W$ のときには書き込みは行われない。

【 0 1 9 4 】

すなわち、F I F O 領域がアンダーフローした場合、インターリーブ R A M 1 5 への書き込みアドレスと読み出しアドレスの関係がセンタリングされ、センタリングによってスキップされる書き込みアドレスがあるため、アンダーフロー後の読み出しデータには同じシンボル内で書き込みを行っていないデータが読み出され、誤ったシンボルが出力される可能性がある。

【 0 1 9 5 】

したがって、図 8 (d) を参照すると、アンダーフローになりセンタリングが実行されると、“W”の位置はリセット時と同じ位置にシフトされている。この

とき、サブコード同期信号 S C をインターリーブ R A M 1 5 に書き込む構成では、センタリングによるジャンプ前の “W” の右側アドレスにあったデータは隣のシンボルの古いデータで不定データであるから、このままでは不定の誤ったサブコード同期信号が読み出されることとなる。

【 0 1 9 6 】

そのため、インターリーブ R A M 1 5 に含まれる F I F O 領域がアンダーフローして F I F O 領域のセンタリングを行った場合には、センタリングで図中の右側に飛び越されるアドレスに “0” データの書き込みを行い、誤ったサブコード同期信号 S C が読み出されないようにする。

【 0 1 9 7 】

あるいは、F I F O 領域のアンダーフローが起きてから F I F O 領域のセンタリングで飛び越されるアドレスが読み出される一定期間、インターリーブ R A M 1 5 から読み出されるサブコード同期信号 S C をマスクする。

【 0 1 9 8 】

あるいは、同期保護されたサブコード同期信号 1 b i t をインターリーブ R A M 1 5 に書き込むのではなく、サブコードの同期情報 S 0, S 1 をデコードした信号 2 b i t をインターリーブ R A M 1 5 に格納し、インターリーブ R A M 1 5 から読み出した S 0, S 1 信号を周期カウントによってサブコード同期保護を行い、誤ったサブコード同期信号の影響を同期保護により受けないようにすることもできる。

【 0 1 9 9 】

なお、図 8 (e) を参照すると、オーバーフローの場合は、センタリングによって “W” の次のアドレスから正しいデータが書き込まれていくので、不定データが読み出されることはない。

【 0 2 0 0 】

また、周期カウントによってサブコードの同期保護を行うときの構成図を示した図 9 を参照すると、図 7 との相違点は、図 7 における Q コード・ C D - T E X T 分離・ C R C チェック回路 2 1 に代えてサブコード同期・ Q コード・ C D - T E X T 分離・ C R C チェック回路 2 2 を用いる点である。それ以外の構成は図 7

と同様である。

【 0 2 0 1 】

この図 9 におけるサブコード同期・サブコードシンボル書き換え回路 2 0 では、サブコード同期機能として同期保護まで行う必要は無く、サブコードの同期情報 S 0 , S 1 検出信号から 1 ビットのサブコード同期信号 S C を生成すれば十分であるが、後段と冗長になることを許容するのであれば、同期保護機能があってもよいことは明らかである。

【 0 2 0 2 】

ここでのサブコード同期・Qコード・C D - T E X T 分離・C R C チェック回路 2 2 では、サブコード同期機能として、サブコード同期信号の周期性を検出し、予め定めた規則に従ってサブコードの同期情報 S 0 , S 1 の判定（同期保護）を行い、周期性を守らずに来た同期情報をマスクするなどして、同期保護済みのサブコード同期信号を生成する。

【 0 2 0 3 】

同期保護されたサブコード同期信号 S C の 1 b i t をインターリーブ R A M 1 5 に書き込む構成において、インターリーブ R A M 1 5 から読み出したサブコード同期信号 S C に周期カウントによってサブコード同期保護を行い、誤ったサブコード同期信号の影響を同期保護により受けないようにする。すなわち、同期保護回路が二重に存在するものである。

【 0 2 0 4 】

一般的には、C I R C デコードにおけるインターリーブ R A M 1 5 のアドレス管理は、読み出しアドレス“R”を基準にしてオーバーフロー／アンダーフロー時には、書き込みアドレスのセンタリングを行っている。

【 0 2 0 5 】

しかし、インターリーブ R A M 1 5 における、F I F O 領域のアンダーフロまたはオーバーフロが起きたときのセンタリングを説明するための図 1 0 を参照しながら、例えば、アドレス領域が 2 0 アドレスで、2 8 番目の 0 D シンボルの場合で説明する。

【 0 2 0 6 】

図10(a)に示すように、アンダーフロー直前における読み出し(R)、書き込み(W)のアドレス位置は、FIFO領域の20アドレスの先頭アドレス(図の左端)に“R”のアドレス、その次の2アドレスが2Delay、次のアドレスがC2訂正のためのR/W、次のアドレスがC2シンドロームのための“R”、次のアドレスがC1訂正のためのR/W、次のアドレスが1Delay、そして次に“W”のアドレスがきた状態である。

【0207】

図10(b)に示すように、ここでは、従来のように“R”基準で、“W”のアドレスのみがセンタリングされる。このとき前述したように、インターリーブRAM15に含まれるFIFO領域がアンダーフローしてFIFO領域のセンタリングを行った場合には、センタリングで図中の右側に飛び越されるアドレスに“0”データの書き込みを行い、誤ったサブコード同期信号SCが読み出されないようにする。

【0208】

一方、図10(c)に示すように、従来のように“R”基準ではなく、“W”を基準に“R”のアドレスおよびその他の処理の相対アドレスも一緒にセンタリングされる。

【0209】

この場合は、前述したオーバーフローの場合のように、センタリングによって“W”の次のアドレスから正しいデータが書き込まれていくので、不定データが読み出されることはない。

【0210】

上述したように、オーバーフロー／アンダーフロー時には書き込みアドレスを基準として読み出しアドレスのセンタリングを行うことにより、アンダーフロー後の読み出しデータに同一シンボルとして書き込みを行っていないデータが読み出されることを防ぐことが出来る。

【0211】

次に第5の実施の形態を説明する。上述した実施の形態は、サブコード同期信号SCをインターリーブRAM15に書き込む構成であったが、インターリーブ

R A M 1 5 ではなく、フラグ R A M 1 6 にサブコード同期信号 S C を格納する構成とすることもできる。

【 0 2 1 2 】

この場合、一般にフラグ R A M 1 6 は、1 2 8 アドレスでデータ幅は 1 b i t で構成されるので、フラグ R A M 1 6 に格納できるサブコード同期信号 S C も 1 b i t にする必要がある。

【 0 2 1 3 】

フラグ R A M 1 6 には、インターリーブ R A M 1 5 ほどのアドレスの空き領域がないので、F I F O 領域のマージンアドレスが (3 + 3) までであれば、フラグ R A M 1 6 をサブコード同期信号 S C の格納に使うことができる。

【 0 2 1 4 】

ここでサブコード同期信号をフラグ R A M に書き込むときのアドレス配置を示す図 1 1 を参照すると、この構成におけるフラグ R A M 1 6 のアドレス配置例が示されている。この構成においては初期状態におけるサブコード同期信号 S C の書き込みと読み出しの遅延を、4 から 6 フレームとしてフラグ R A M 1 6 をサブコード同期信号 S C の格納に使うことができる。

【 0 2 1 5 】

この図 1 1 では、初期状態におけるサブコード同期信号 S C の書き込みと読み出しの遅延が 4 フレームの場合と 6 フレームの場合を示してある。

上述したように、第 5 の実施の形態によれば、フラグ R A M 1 6 の空き領域を用い、サブコードの処理系は従来のままで 8 ビットのうちの 1 ビットにサブコード同期信号 S C をフラグ R A M 1 6 の、サブコード同期信号格納領域に 1 4 アドレスで書きこみ、読み出されたサブコード同期信号を用いるのみであるから、従来構成からもハード量の増加が少なく、機能的なデメリットもなくデコードデータの正確なバッファリングを行うことが可能となる。

【 0 2 1 6 】

また、同期位置を変更してもアドレッシングを変更するのみで回路規模の変化がほとんどなく、システム的な誤りを含む可能性も少ない。Q コードデータには従来通りバッファリング遅延は生じない。

【 0 2 1 7 】

【発明の効果】

上述したように、本発明の光データ生成装置は、C I R CデコードにおけるインターリーブRAMの空き領域に、従来のメインデータだけでなく、サブコードに含まれたサブコード同期信号1ビットを書き込むことで、メインデータと同様にF I F O領域を持つアドレス管理を行うので、インターリーブRAMから読み出したサブコード同期信号とメインデータとを同期させることが出来るものである。従って、インターリーブRAMから読み出したデコードデータと同期したサブコード同期信号によってバッファメモリへのデコードデータ書き込み開始を制御することができ、音声CDから読み出しデコードしたデコードデータをバッファメモリに蓄える作業を一旦停止し再び開始する場合でも、バッファメモリ上のデータの連続性を保証することができる。

【 0 2 1 8 】

また、インターリーブRAM 1 5またはフラグRAM 1 6に書きこみ、読み出されたサブコード同期信号を用いるのみであるから、従来構成からもハード量の増加が少なく、機能的なデメリットもなくデコードデータの正確なバッファリングを行うことが可能となる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態の構成図である。

【図 2】

C I R Cデコードコントローラ 1 4 のメモリ管理回路を示す図である。

【図 3】

インターリーブ遅延が $0 \times D$ と最も短い 2 8 番目のシンボル $0 D$ の使用領域のアドレス配置を示す図である。

【図 4】

インターリーブRAMシンボル領域配置を示す図である。

【図 5】

第 2 の実施の形態における、インターリーブRAMシンボル領域配置の例を示

す図である。

【図 6】

第 2 の実施の形態における、サブコードの P ビットをサブコード同期信号で置き換えた図である。

【図 7】

インターリーブ RAM から取り出したデータから Q コードデータ、CD-TEXT データを分離する例の構成図である。

【図 8】

第 3 および第 4 の実施の形態における、FIFO 領域のアンダーフローまたはオーバーフローが起きたときの状態を説明するための図である。

【図 9】

周期カウントによってサブコードの同期保護を行うときの構成図である。

【図 10】

FIFO 領域のアンダーフローまたはオーバーフローが起きたときのセンタリングを説明するための図である。

【図 11】

第 5 の実施の形態における、サブコード同期信号をフラグラムに書き込むときのアドレス配置を示す図である。

【図 12】

CD におけるデータフォーマットを示した図である。

【図 13】

従来のディスク再生方式を説明するための図である。

【図 14】

従来のディスク再生方式の他の例を説明するための図である。

【符号の説明】

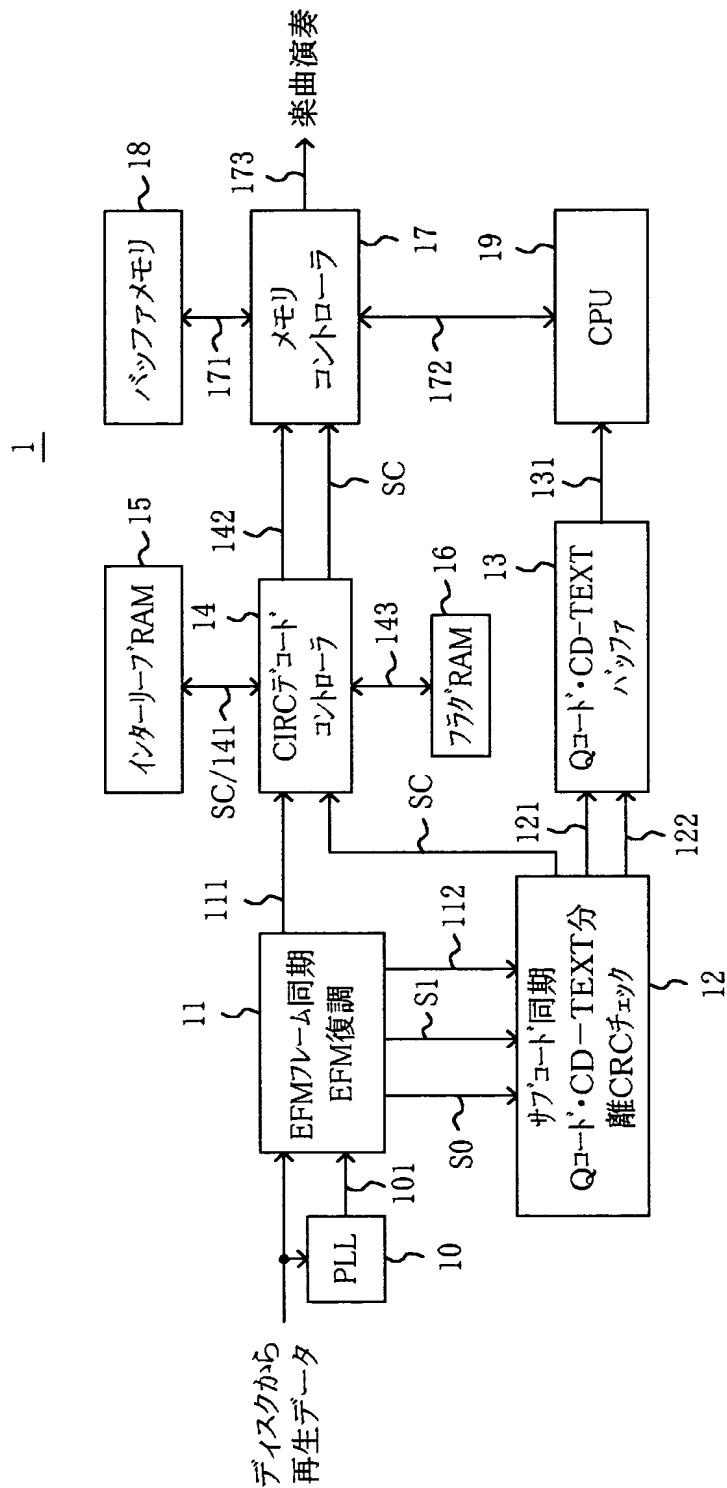
- 1 光ディスク再生装置
- 10 PLL 回路
- 11 EFM フレーム同期・EFM 復調回路
- 12, 22 サブコード同期・Q コード・CD-TEXT 分離・CRC チェ

ック回路

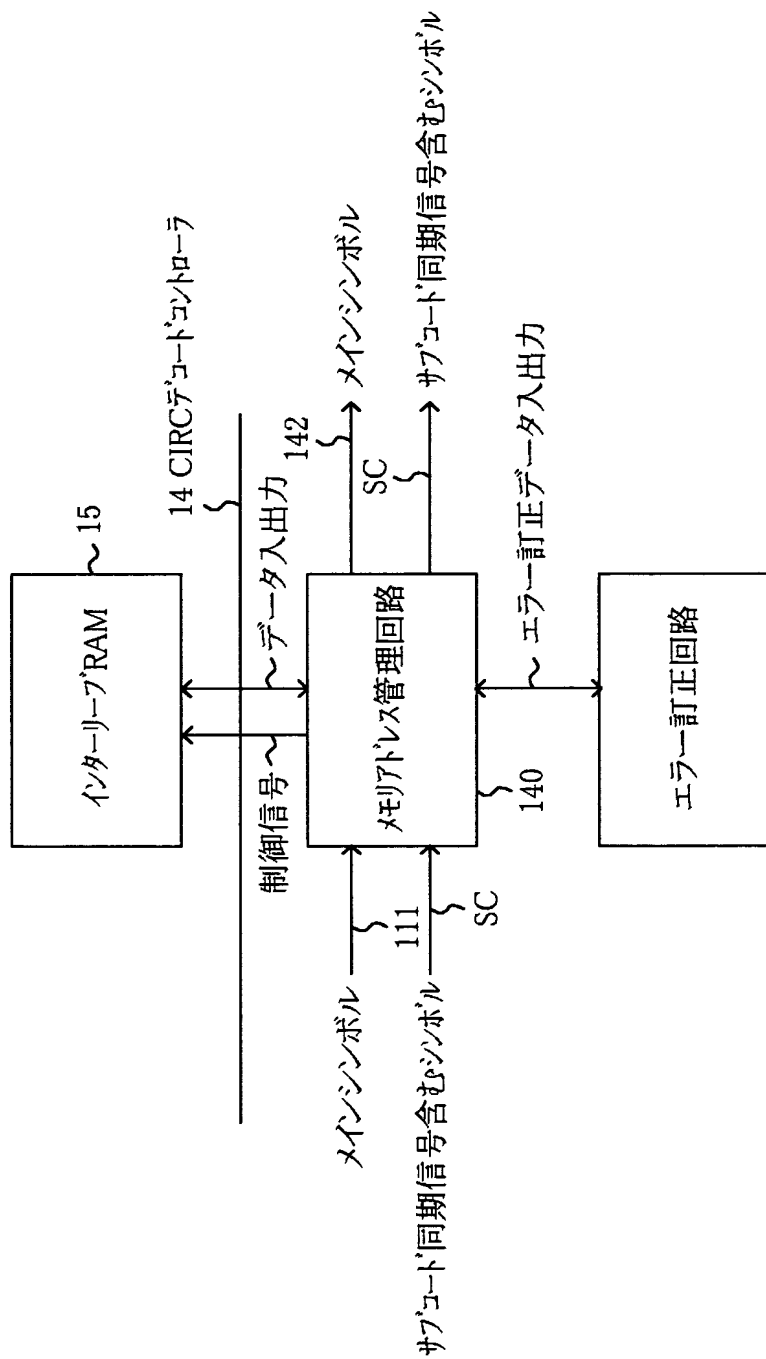
- 1 3 Qコード・CD-TEXTバッファ回路
- 1 4 CIRCデコードコントローラ
- 1 5 インターリーブRAM
- 1 6 フラグRAM
- 1 7 メモリコントローラ
- 1 8 バッファメモリ
- 1 9 CPU
- 2 0 サブコード同期・サブコードシンボル書き換え回路
- 2 1 Qコード・CD-TEXT分離・CRCチェック回路
- 1 4 0 メモリアドレス管理回路

【書類名】 図面

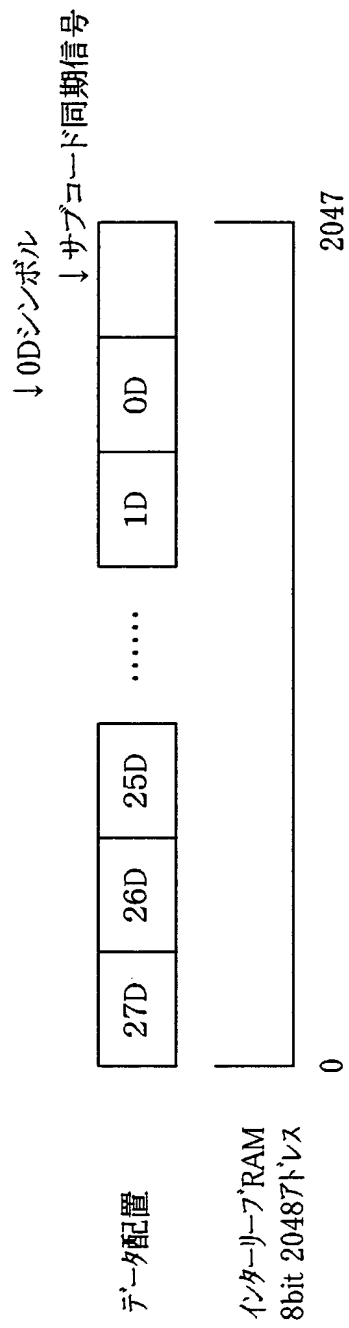
【図 1】



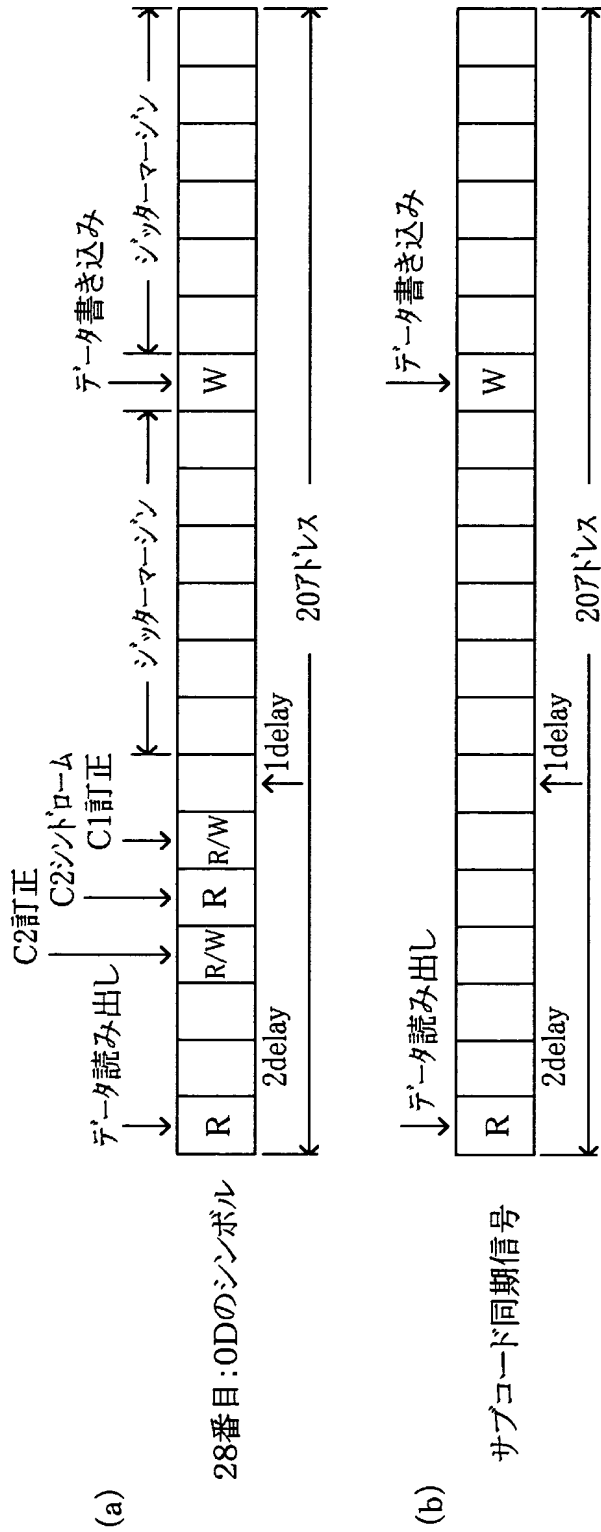
【図 2】



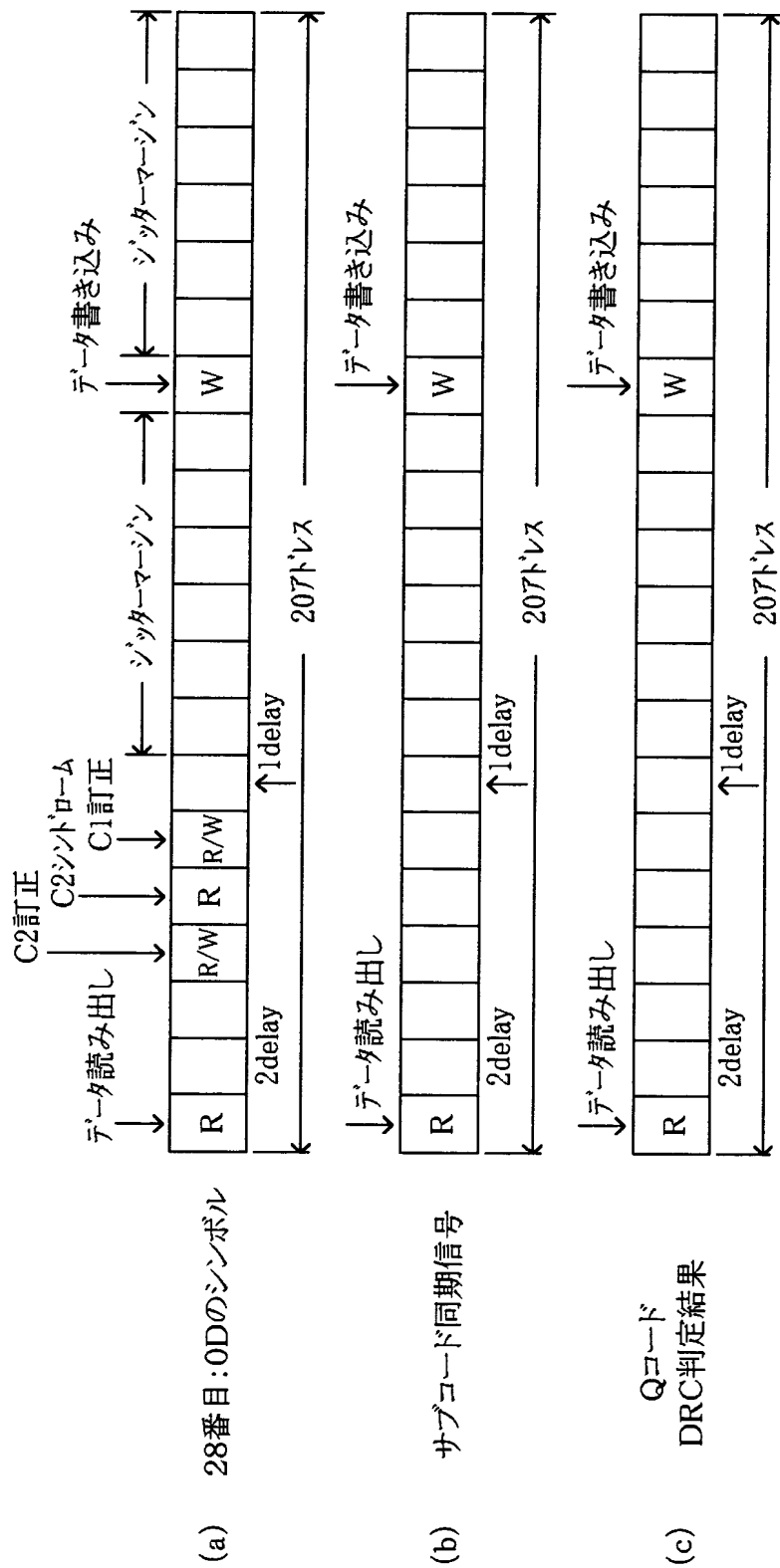
【図 3】



【図 4】

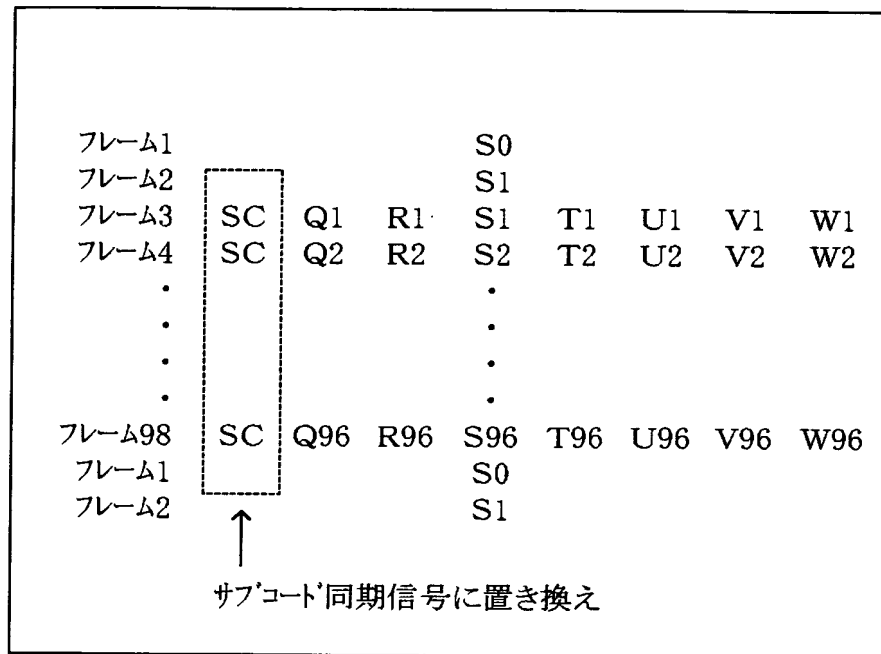


【図 5】

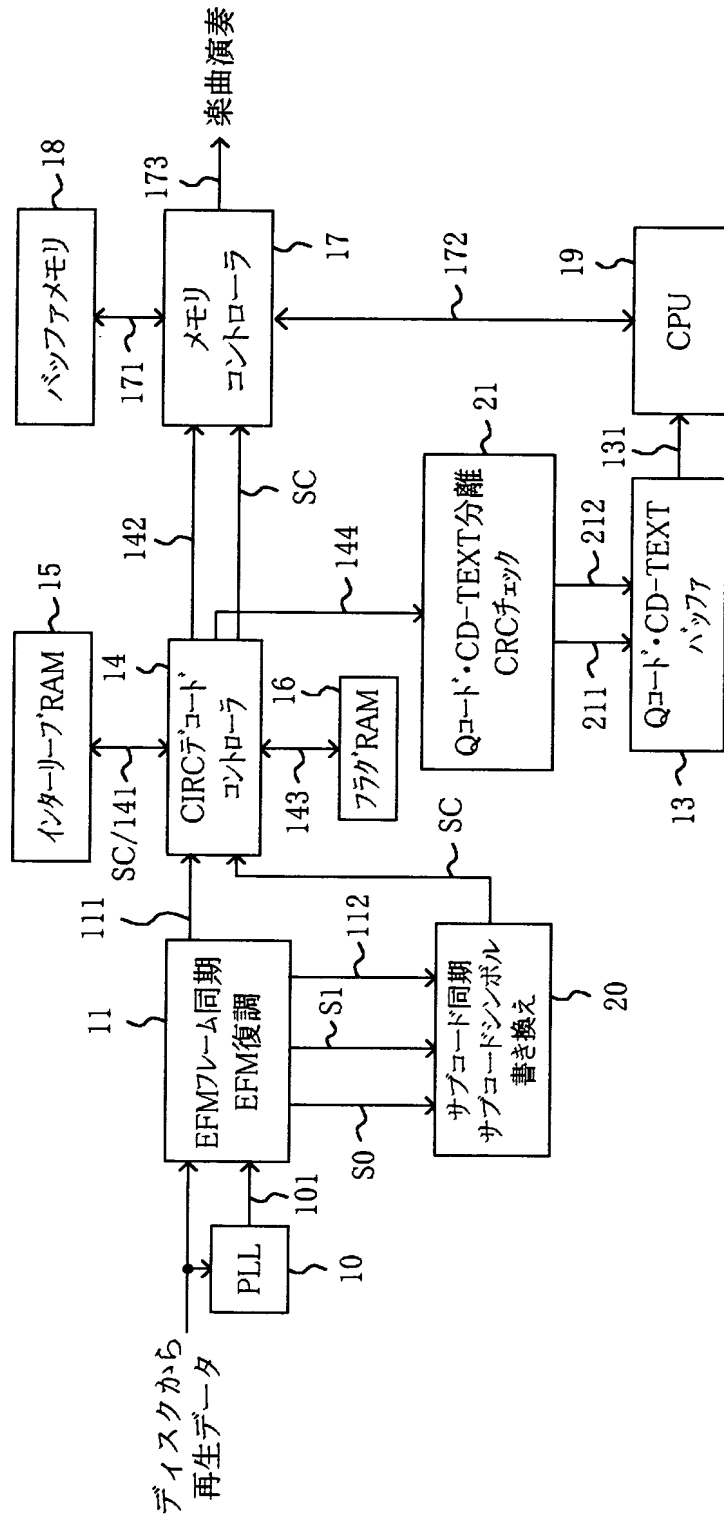


【図 6】

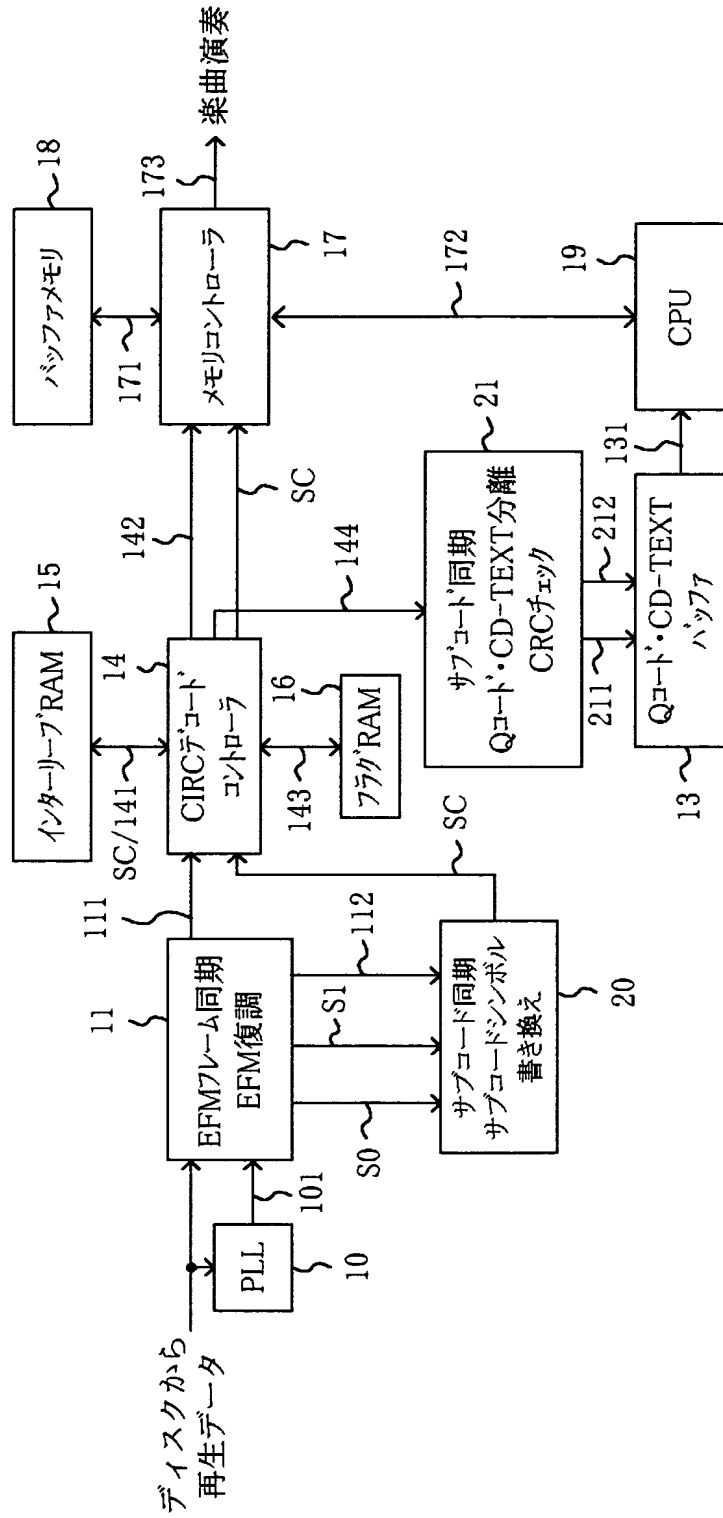
サブコード'8bit



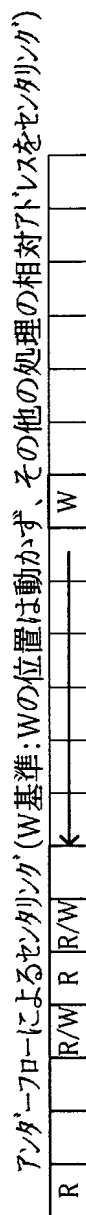
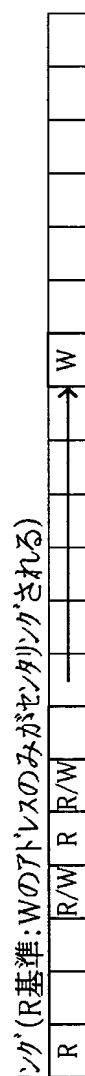
【図 7】



【図9】



【図 10】



【図 1 1】

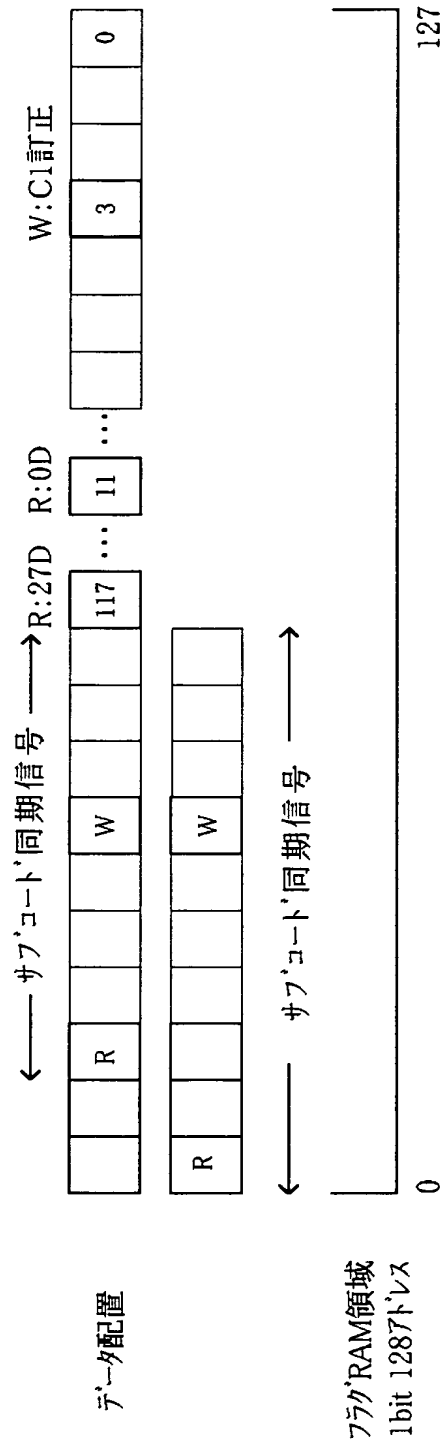


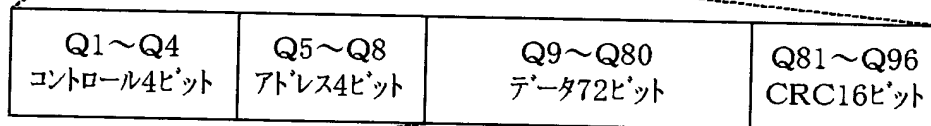
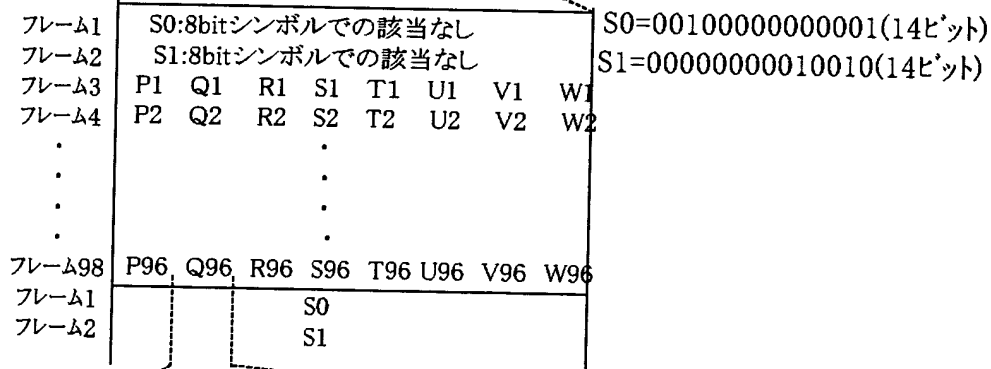
Diagram illustrating the structure of a 98-frame (98フレーム) for data transmission. The frame is divided into a header section and a data section.

Header Section:

- Top row: 24 bits (24ビット) and 14 bits (14ビット).
- Second row: 32 symbols (32シンボル) width.
- Third row: S0 (Symbol 0).
- Fourth row: S1 (Symbol 1).

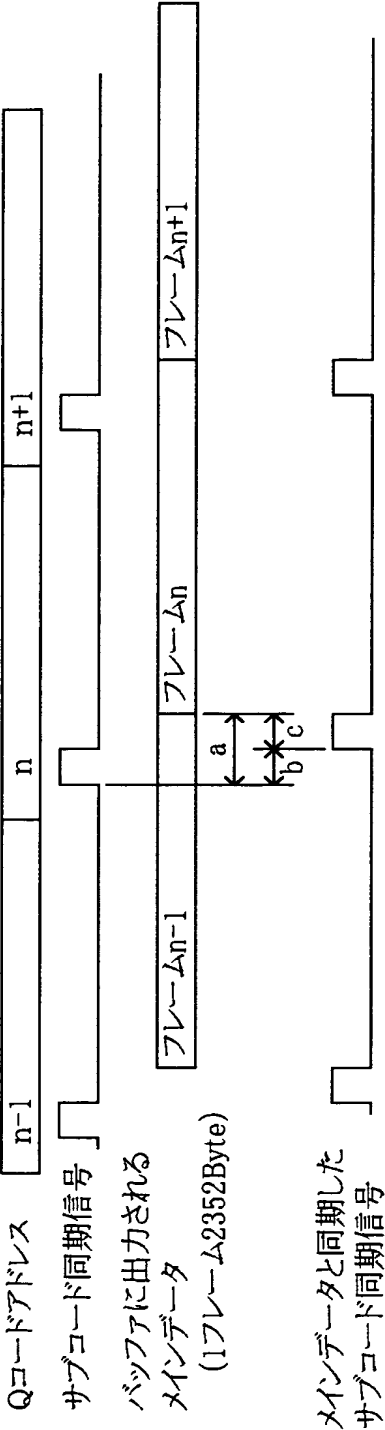
Data Section:

- Label: フレーム同期 (Frame Synchronization).
- Sub-label: サブコード (Subcode).
- Data fields: データ (Data) and パリティ (Parity).
- Data field size: 12 symbols (12シンボル).
- Parity field size: 4 symbols (4シンボル).
- Total data/parity width: データ/パリティ (Data/Parity).



TNO トラック 番号 8ビット 01~99	INDEX インデックス 8ビット 01~99	MIN 分 8ビット 00~74	SEC 秒 8ビット 00~59	FRAME フレーム数 8ビット 00~74	ZERO 0 8ビット 00000000	AMIN 分 8ビット 00~74	ASEC 秒 8ビット 00~59	AFRAME フレーム 8ビット 00~74
ディスク先頭からの相対時間					ディスク先頭からの絶対時間			

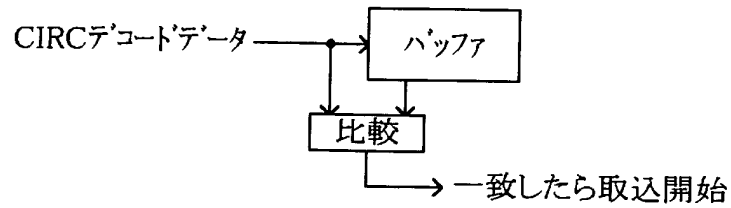
【図 1 3】



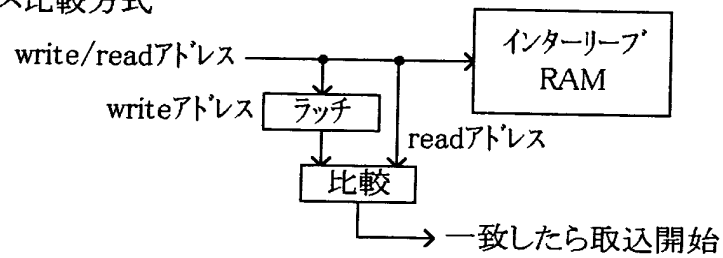
- a: fifoに蓄えられるデータ段数によって遅延が変化する
- b: fifoに蓄えられるデータ段数によって遅延が変化する
- c: fifoに蓄えられるデータ段数によって遅延が変化しない

【図 1 4】

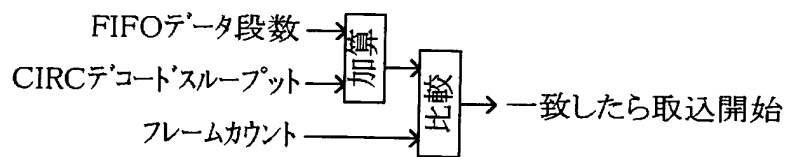
(a) データ比較方式



(b) アドレス比較方式



(c) データタイミング予測方式



【書類名】 要約書

【要約】

【課題】 光ディスク再生装置におけるバッファメモリ上のデータの連続性を保証する方法を提供する。

【解決手段】 C I R C デコードにおけるインターリーブ R A M 1 5 の空き領域に、従来のメインデータだけでなくサブコード同期信号 S C の 1 ビットを書き込むことで、メインデータと同様に F I F O 領域を持つアドレス管理を行うので、インターリーブ R A M 1 5 から読み出したサブコード同期信号 S C とメインデータとを同期させることが出来る。したがって、インターリーブ R A M 1 5 から読み出したデコードデータと同期したサブコード同期信号 S C によってバッファメモリ 1 6 へのメインデータ書き込み開始を制御することができ、C D から読み出しデコードしたメインデータをバッファメモリ 1 6 に蓄える作業を一旦停止し再び開始する場合でも、バッファメモリ上のデータの連続性を保証する。

【選択図】 図 1

特 2 0 0 2 - 2 1 6 3 0 8

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 2 1 6 3 0 8
受付番号	5 0 2 0 1 0 9 5 4 5 7
書類名	特許願
担当官	第八担当上席 0 0 9 7
作成日	平成 1 4 年 7 月 2 6 日

< 認定情報・付加情報 >

【提出日】	平成14年 7月25日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [3 9 0 0 0 1 9 1 5]

1. 変更年月日 1 9 9 0 年 1 0 月 3 日
[変更理由] 新規登録
住 所 山形県山形市北町 4 丁目 1 2 番 1 2 号
氏 名 山形日本電気株式会社
2. 変更年月日 2 0 0 3 年 2 月 2 1 日
[変更理由] 住所変更
住 所 山形県鶴岡市宝田一丁目 1 1 番 7 3 号
氏 名 山形日本電気株式会社